



# Architectures du futur - Exemples et Perspectives -

Laboratoire Calculateurs Embarqués et Image  
CEN Saclay – DTISI – SLA

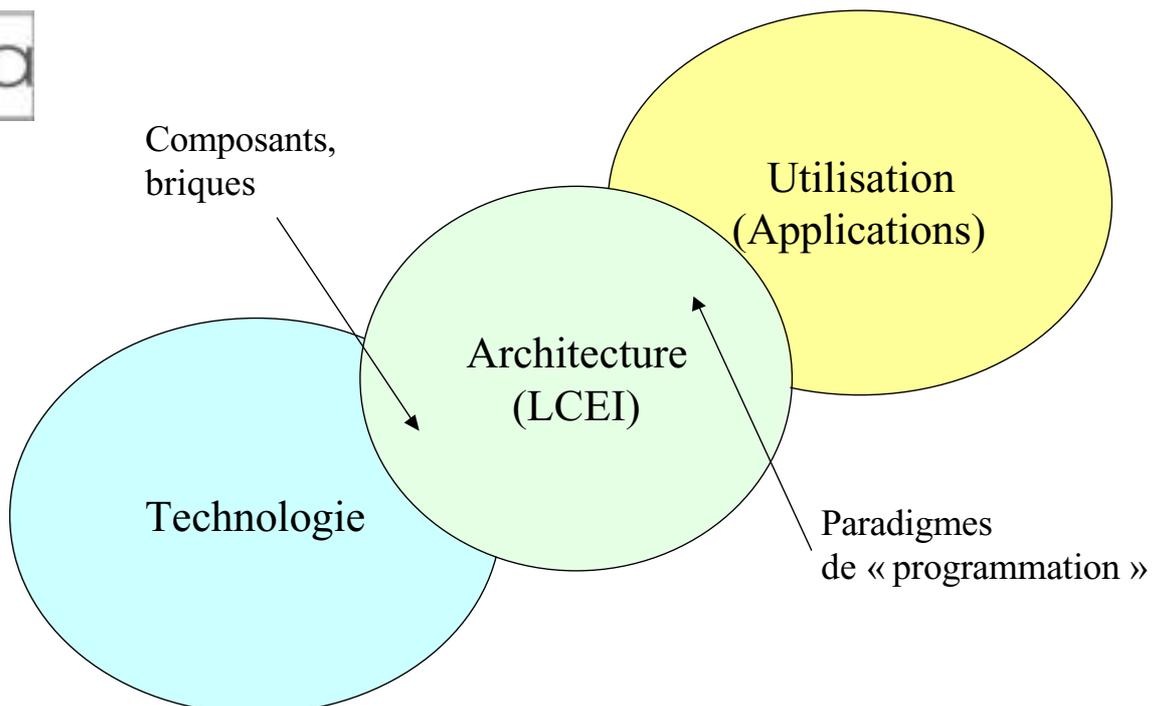
Christian Gamrat  
Frédéric Blanc  
Thierry Collette

Contact : [Thierry.Collette@cea.fr](mailto:Thierry.Collette@cea.fr)

LIST/DTISI



## LCEI : De la technologie à son utilisation



LIST/DTISI



## Besoins applicatifs



Dans le domaine du traitement d'image par exemple, la plupart des applications nécessite une très forte puissance de calcul embarquée.



LIST/DTSI



Architectures du futur - 3 Avril 2003 – Ecole Thématique de Roscoff- LCEI/TC



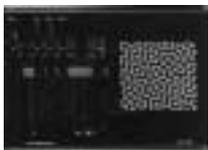
3



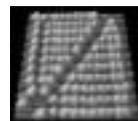
## Propositions architecturales



Architectures Symbiotiques (Co-opérations des moyens)



MIND-128  
MIND-1024  
(DSM / DRFMC)



NANO

Calcul quantique ?

Calcul probabiliste

Architectures connexionistes

Cellulaires, Neuronales

Architectures autoadaptables

Architectures reconfigurables

CRYPTOSOC,  
EPIPURE, ICAM,  
SYMPTOME ...

Nanotechnologies

Architectures VN séquentielles & parallèles

199?-2000

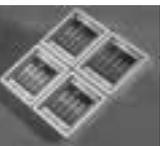
2004

201?

20??

-> reconf

LIST/DTSI



Symphonie

Architectures du futur - 3 Avril 2003 – Ecole Thématique de Roscoff- LCEI/TC



4



## Quels problèmes pour le traitement de l'information



### Questions technologiques

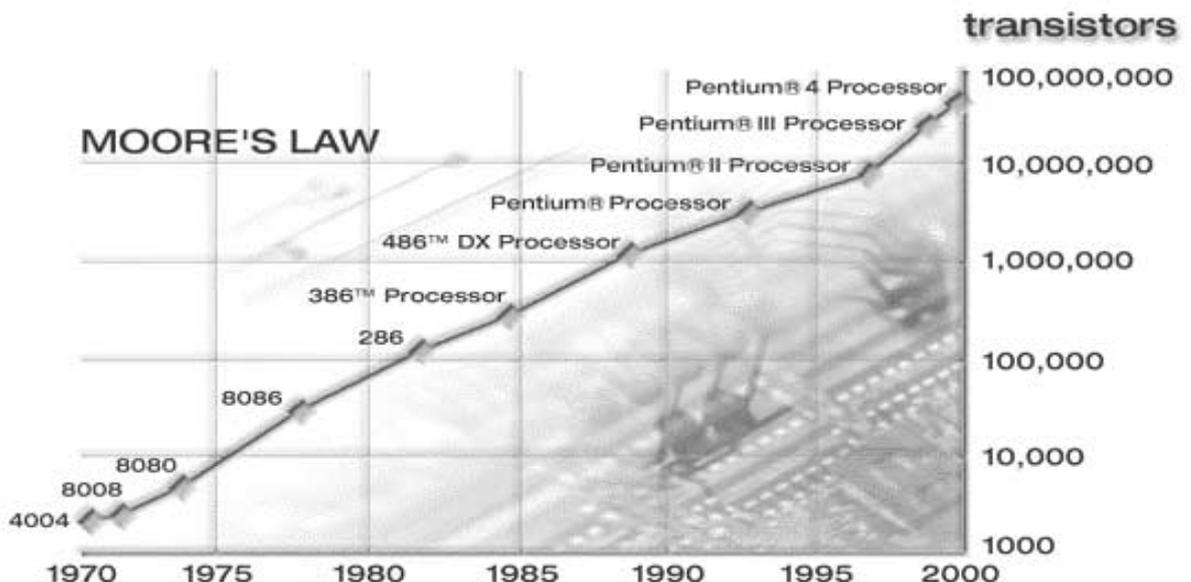
- Fin toujours annoncée de la loi de Moore (vers 20 nm ?)
- Limitations dues aux connexions (géométrie 2D)
- Complexité grandissante des dispositifs (100 M Transistors)
- Utilisation de moins en moins optimale des ressources
- Augmentation de la densité de puissance
- Sensibilité grandissante aux SEU

### Questions de paradigmes

- L'algorithmie (numérique séquentielle) peut-elle tout résoudre ?  
(pavage, non décidables, NP complets)
- Importance du traitement qualitatif de l'information / traitement quantitatif



## La Loi de Moore



## La loi de Moore ralentira t-elle ?



- La loi de Moore inhibe l'innovation en assurant une prédominance de la techno sur l'architecture
- Sans doute jusque vers 2015-2020 (motifs > 40-30 nm)
- Importance grandissante des interconnexions / éléments actifs
- Limites physiques dures (dopage, charges parasites, effets de quantification)
- Paradoxe du coût unitaire qui baisse avec un coût global des investissements (usines) qui croît.
- Influence du marché sur la pente de la loi de Moore ?

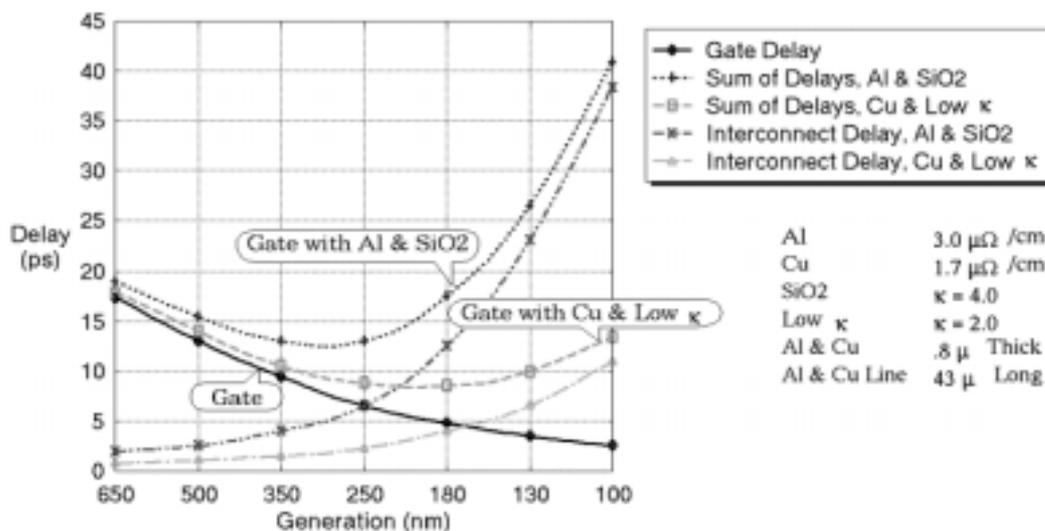
LIST/DTSI



## Importance croissante des interconnexions



- Temps de propagation dans les portes et les interconnexions en fonction de la technologie.
- Importance de la localité des connexions



LIST/DTSI

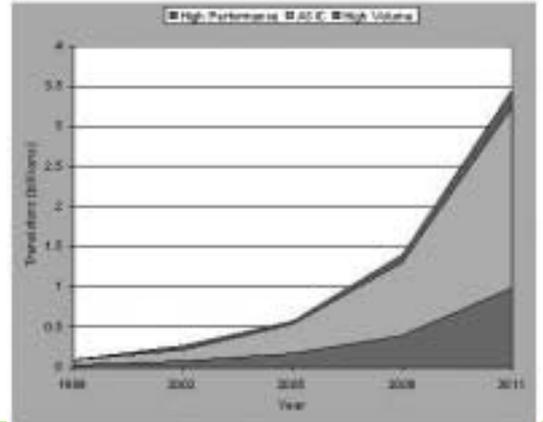
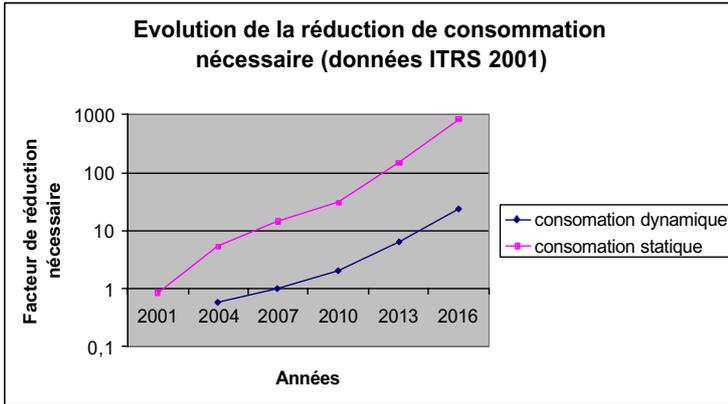


## Limitations dues à la puissance dissipée



- Pour des designs de 10 à 100 GTo par puce, la puissance dissipée devient trop importante. Limite à environ 100 W/cm<sup>2</sup>
- Aujourd'hui environ 50% de la puissance est dissipée dans les courants de fuite.
- Solutions architecturales: Asynchrone, ...

LIST/DTSI



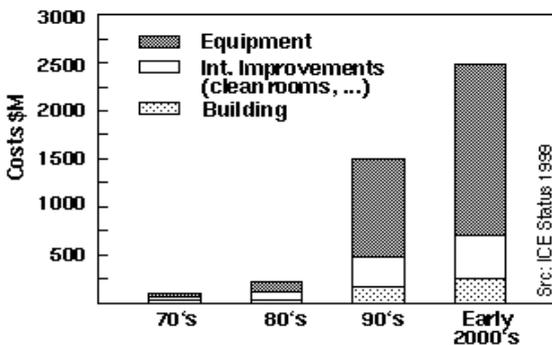
Architectures du futur - 3 Avril 2003 – Ecole Thématique de Roscoff- LCEI/TC



9

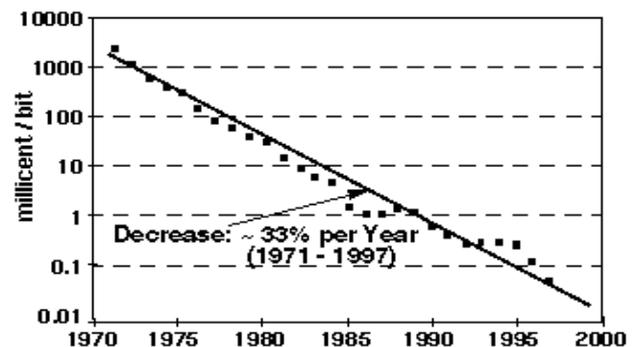


## Des paramètres économiques



Coût d'une ligne de production (wafer fab)

Coût par bit de mémoire produit (DRAM)



LIST/DTSI

Source Munich University of Technology, Germany

Architectures du futur - 3 Avril 2003 – Ecole Thématique de Roscoff- LCEI/TC



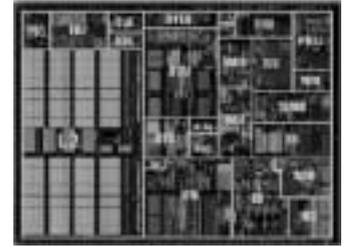
10



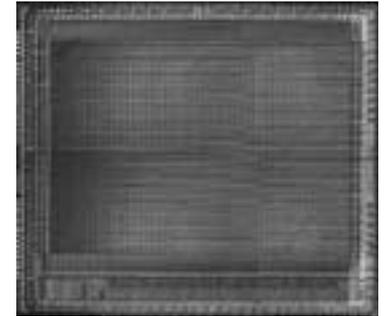
## Une voie possible: Le calcul Reconfigurable



- Les architectures de logique reconfigurable sont basées sur l'utilisation intensive de mémoire.
- La structure de ces composants est particulièrement régulière.
- La régularité de l'architecture est bien adaptée aux technologies microélectroniques futures (< 100nm) et aux nanotechnologies. (DéHon)
- La viabilité de ces technologies passe par la maîtrise d'outils adaptés. ->



Puce du Pentium 4



Puce typique d'un fpga



LIST/DTSI



## Propositions technologiques



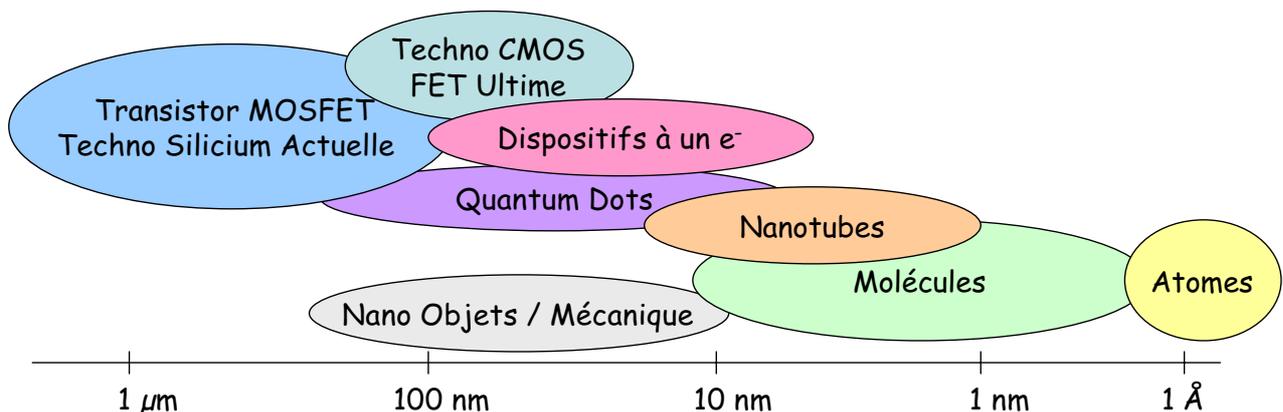
Gravure (Top Down)

Lithographie UV -> EUV -> X

Assemblage (Bottom Up)

STM / AFM

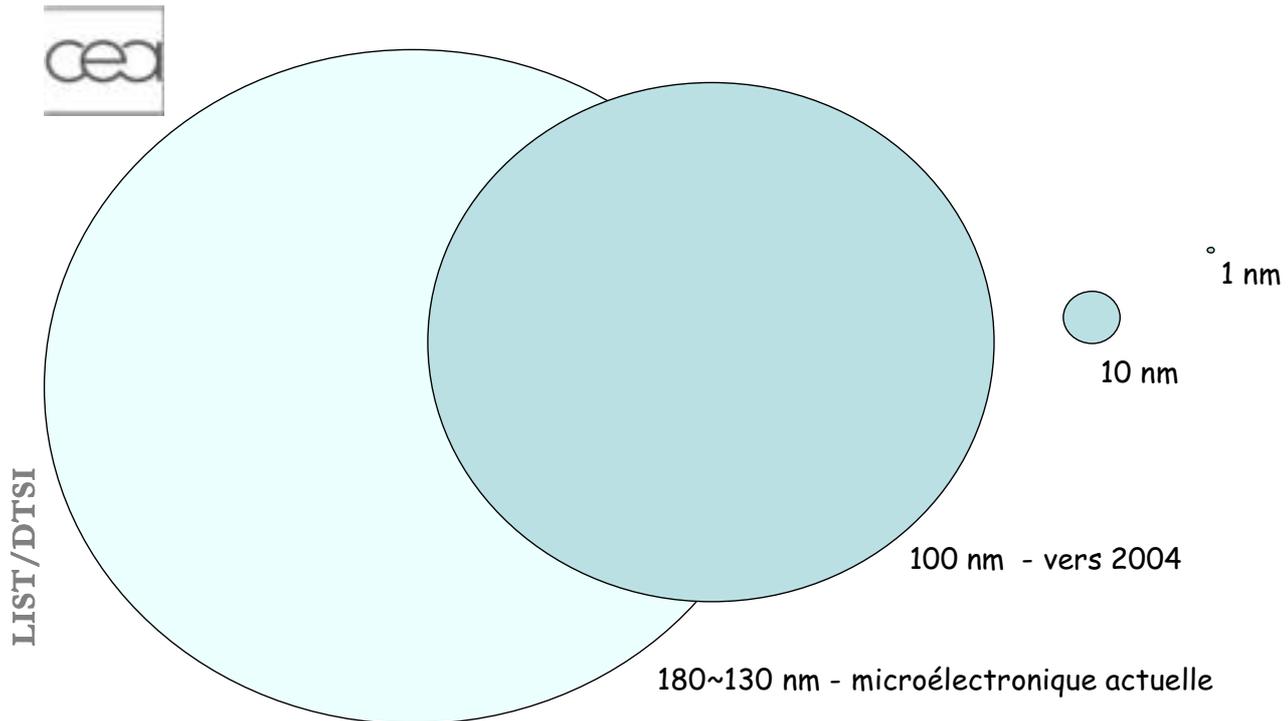
Ingénierie Moléculaire



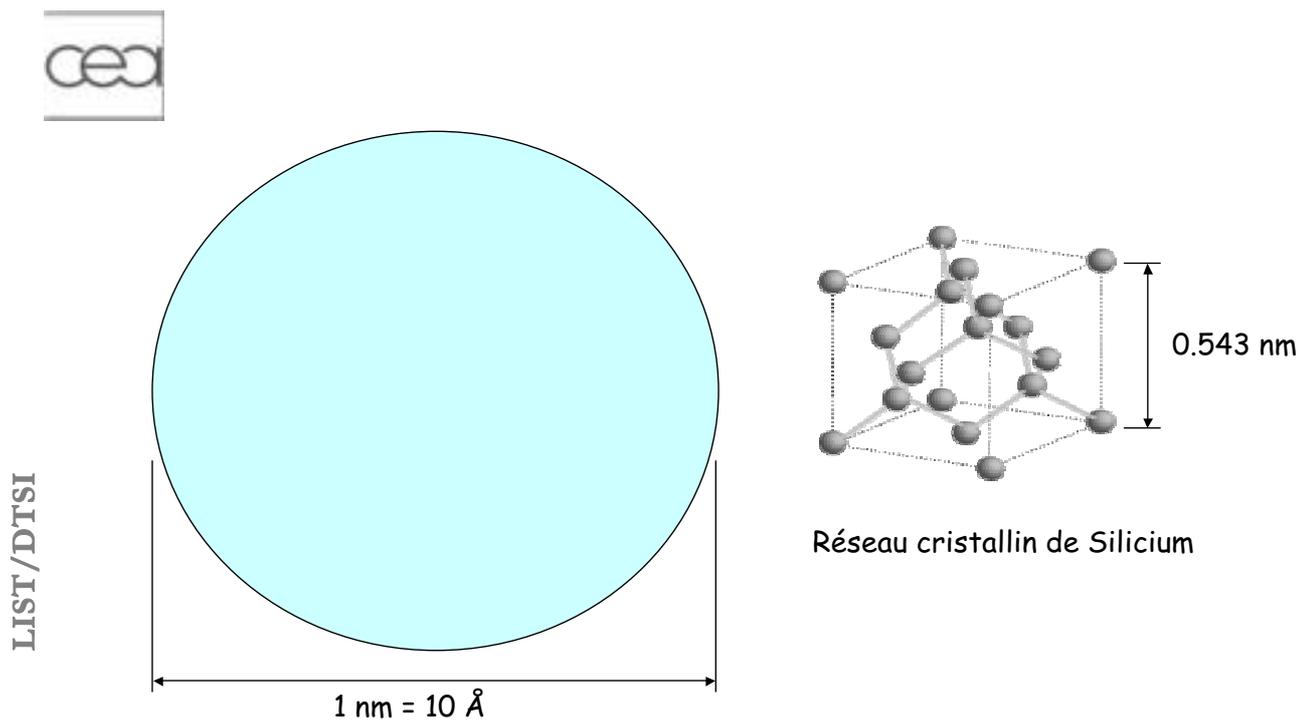
LIST/DTSI



## Quelques dimensions



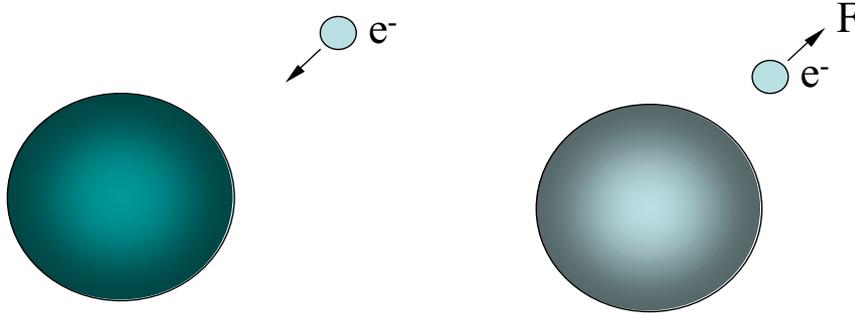
## Au plus près de l'atome



# Principe du blocage de Coulomb



LIST/DTSI



$$Q = me - me = 0$$

$$Q = me - (m+1)e = -e$$

T ? 4 mK

Îlot conducteur quel que soit le matériau

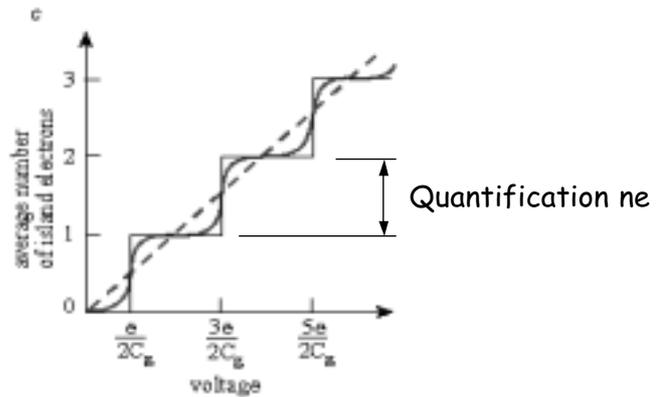
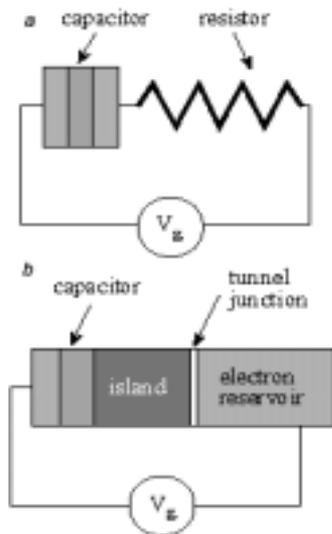
D'après K. Likharev



# Des électrons en boîte



LIST/DTSI



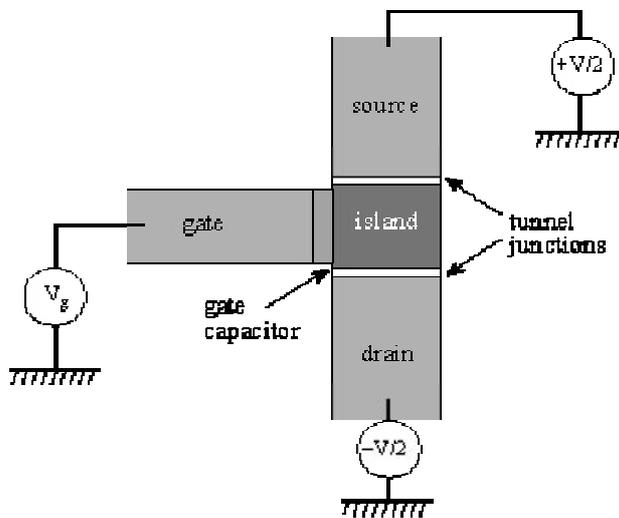
Lorsqu'un îlot conducteur est chargé au travers d'une jonction tunnel, la charge Moyenne de l'îlot est quantifiée en fonction de la tension appliquée.



## Principe du Transistor à un électron (SET)



LIST/DTSI



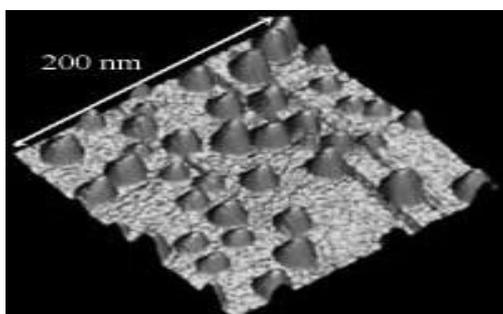
Afin de transiter de la source vers le drain, les électrons doivent traverser deux jonctions tunnel entre lesquelles se forme un îlot conducteur dans lequel ils restent piégés. Les électrons qui passent chargent et déchargent cet îlot, l'énergie résultante est fonction de la tension appliquée sur la grille. La tension de grille permet ainsi de contrôler les charges qui restent bloquées dans l'îlot.



## Quantum Dots



LIST/DTSI



This scanning tunneling microscope image shows quantum dots made of indium arsenide and gallium arsenide. They are the type researchers used to observe electrons trapped inside.

Source: University of Nottingham

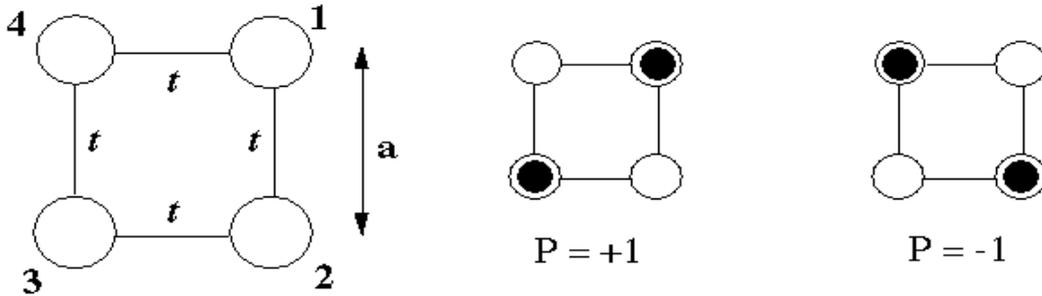
Les quantum dots ou points quantiques sont de petits îlots dans lesquels sont confinés un nombre contrôlé d'électrons.

Ils sont fabriqués en matériaux semiconducteurs, leurs dimensions varient de quelques nanomètres à quelques microns.

En raison du confinement des électrons et comme pour un atome, les niveaux d'énergies dans un dot quantique sont quantifiés.



# Quantum Cellular Automata (QCA)

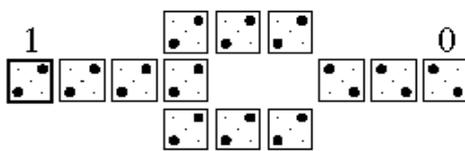


LIST/DTSI

Un Quantum Cellular Automata tel que proposé par Lent, Porod, Snider de l'Université Notre Dame. Il est constitué de 4 (ou 5) quantum dots. Deux d'entre eux confinent des charges qui par répulsion coulombienne conduisent à deux états stables notés +1 et -1.

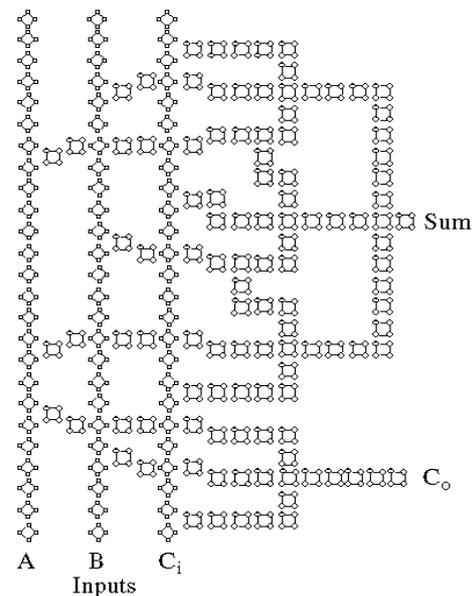


# Circuits Logiques à base de QCA



Les interactions coulombiennes entre deux QCA permettent la construction de circuits logiques par association de QCA. Un inverseur (croquis du haut) un additionneur (croquis de droite).

La **propagation de l'information** est électrostatique, elle ne conduit pas à un transfert de charges (conduction).



LIST/DTSI



## Des molécules dans les calculateurs

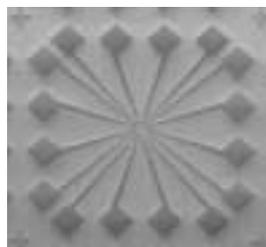
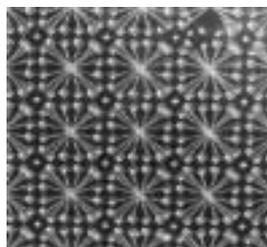
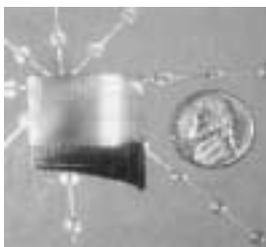


- Utiliser des composés organiques en combinaison ou en remplacement des semi-conducteurs classiques
- Assembler les éléments avec les méthodes de l'ingénierie moléculaire
- Utiliser les nanostructures de carbone
- Utiliser les propriétés de molécules complexes (ADN)
- Utiliser des molécules comme base d'un ordinateur quantique.

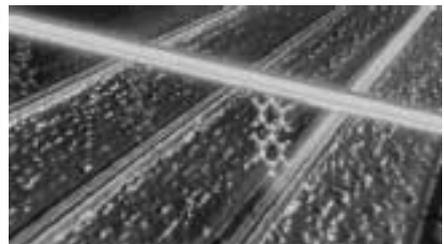
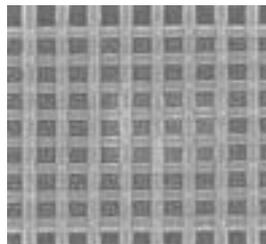
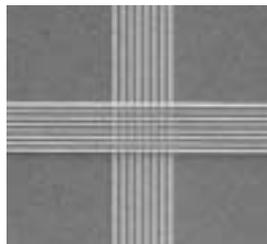
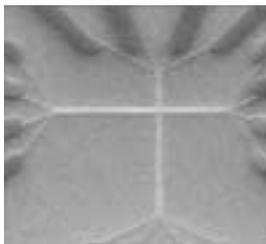
LIST/DTSI



## Mémoire moléculaire 64 bits - Hewlett Packard



64 bits dans  $1 \mu\text{m}^2$   
Aux intersections d'un  
D'un réseau de nanofils  
Métalliques.



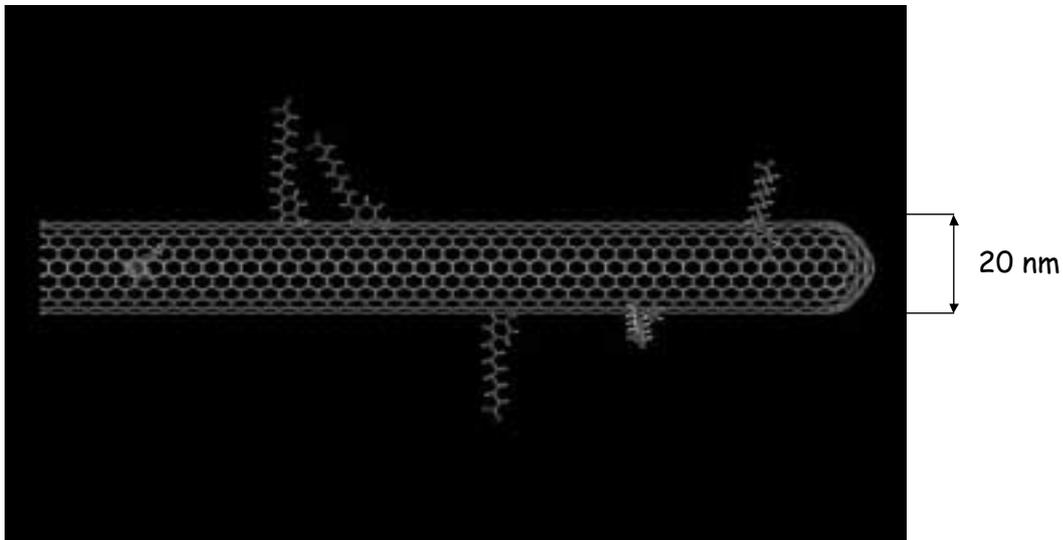
LIST/DTSI



## Nanotube de Carbone



LIST/DTSI



## Mémoires à nanotubes de carbone



LIST/DTSI



A pair of crossed carbon nanotubes (upper left corner) forms a 20 nm memory device capable of storing a single bit.

Source: Lieber Group, Harvard University



Vue 3D d'un réseau de nanotubes montrant 4 jonctions  
2 sont dans l'état « on » (contact) les 2 autres étant  
Dans l'état « off » isolation. Les nanotubes inférieurs  
Reposent sur une couche conductrice, les tubes supérieurs  
Reposent sur des plots isolants. Chaque nanotube est  
Connecté à une électrode métallique.  
D'après Lieber et al, Harvard University



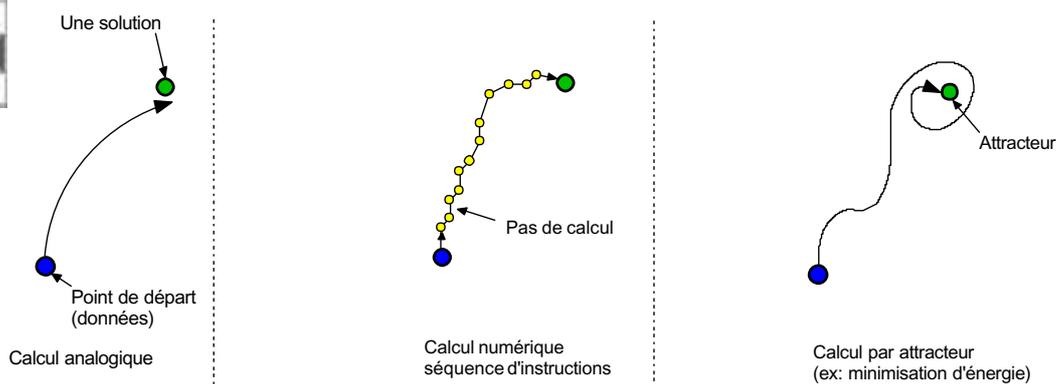


- Choix du codage optimal.
- La précision maximale est t-elle toujours nécessaire ?
- Vers des calculateurs hétérogènes (symbiotiques)

LIST/DTSI



## Le processus de calcul

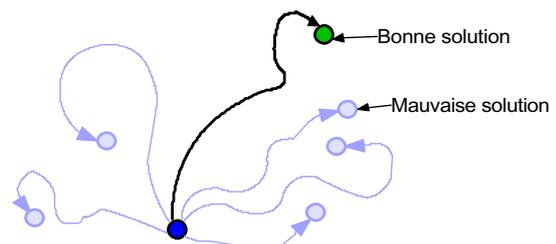


LIST/DTSI

On peut symboliser le processus de calcul au parcour d'une trajectoire dans l'espace des paramètres du problème.

Chaque point représente un état particulier des paramètres du problème.

Cet espace à N dimensions est très complexe.



Calcul par exploration simultanée de plusieurs trajectoires et sélection. (algo génétique, DNA, quantique)





LIST/DTSI

**Modèles inspirés de la biologie étudiés depuis longtemps McCulloch & Pitts (1943) Rosenblatt (1958)**

**Modèle de calcul parallèle tolérant aux fautes**

**Fonctionnement asynchrone**

**Architectures régulières**

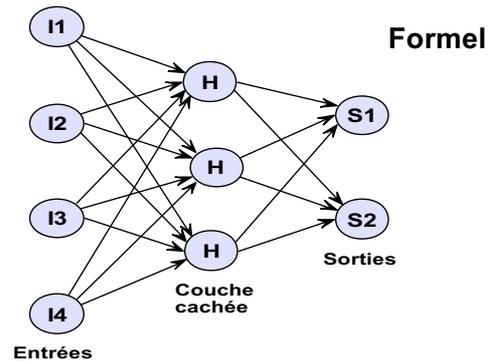
**Mode de calcul par apprentissage et/ou attracteurs.**

**Expérience forte au CEA tant au niveau architectures que paradigmes (PAN)**

Réseau de neurones



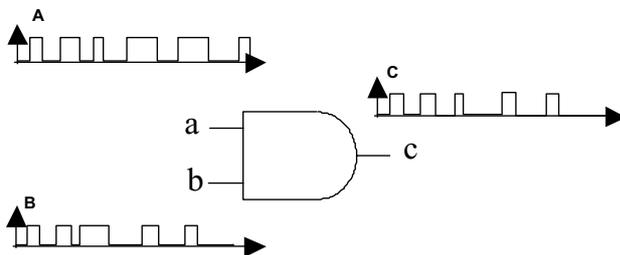
Biologique



## Mode de calcul stochastique



- Codage probabiliste de trains d'impulsions binaires.
- Arithmétique définie depuis 1965 (Gaines)
- Utilisation d'opérateurs booléens en mode stochastique
- Robustesse
- Précision dynamiquement ajustable



$$C = A \text{ AND } B$$

$$P(c) = P(a) \times P(b)$$

16384 pour 8 bits soit 16.38 ms  
230 pour 16 bits soit 1 seconde

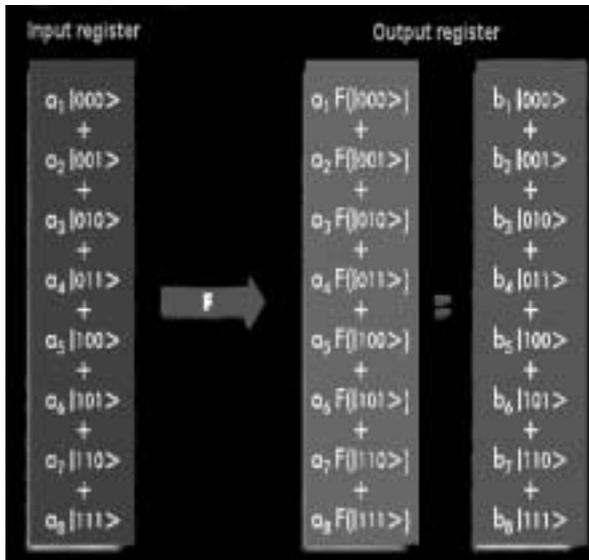
LIST/DTSI



## Mode de calcul quantique



LIST/DTSI



- Le calcul est un processus physique.
- L'observation est un acte essentiel du processus.
- Exploitation de la notion de superposition d'états pour un parallélisme « parfait »
- Les Algorithmes de Grover et de Schor démontrent l'intérêt du mode de calcul quantique



## Calcul quantique

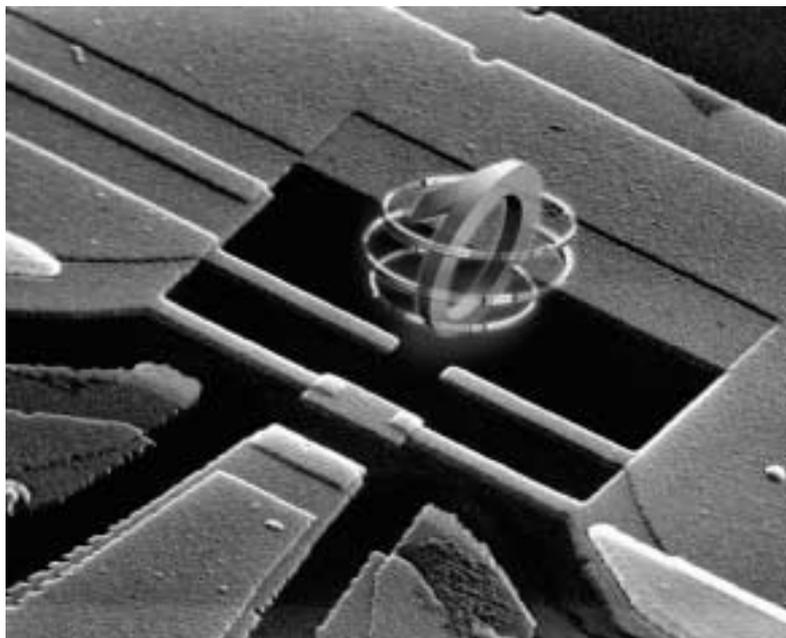


LIST/DTSI

**Le Quantronium :**  
Un premier pas vers le qubit  
à l'état solide.

Temps de décohérence  
compatible avec quelques  
opérations élémentaires

Travaux de DSM/DRECAM





- La modélisation du transport est encore un sujet d'étude fondamentale important.
- Les modèles de simulation d'un Transistor standard ne sont déjà pas parfaitement maîtrisés.
- Problème de mélange entre propriétés de transport et dynamique moléculaire -> Utilisation de gros moyens de calcul pour parfaire la connaissance.



## Pour quelles applications ?

---



- La demande du marché suite une loi de même type que la loi de Moore. Les industriels se trouvent ainsi « coincés » entre ces deux courbes
- Applications du futurs: Loisirs. De 50 à 60 % de la population dans les activités de services (non essentielles)
- Impact de la mode dans les applications



## Perspectives



- Conquête de la troisième dimension
- Augmentation de la densité des opérateurs mais surtout des liens de communications (fils)
  - Densité relative opérateurs/connexions
- Réduction de l'énergie nécessaire au calcul
- Tolérances aux défauts de fabrication et aux pannes
- Nouveaux procédés de fabrication
  - Auto-assemblage pour la maîtrise de dispositifs complexes
- Nouveaux codages de l'information et nouveaux paradigmes de calculs
- ....



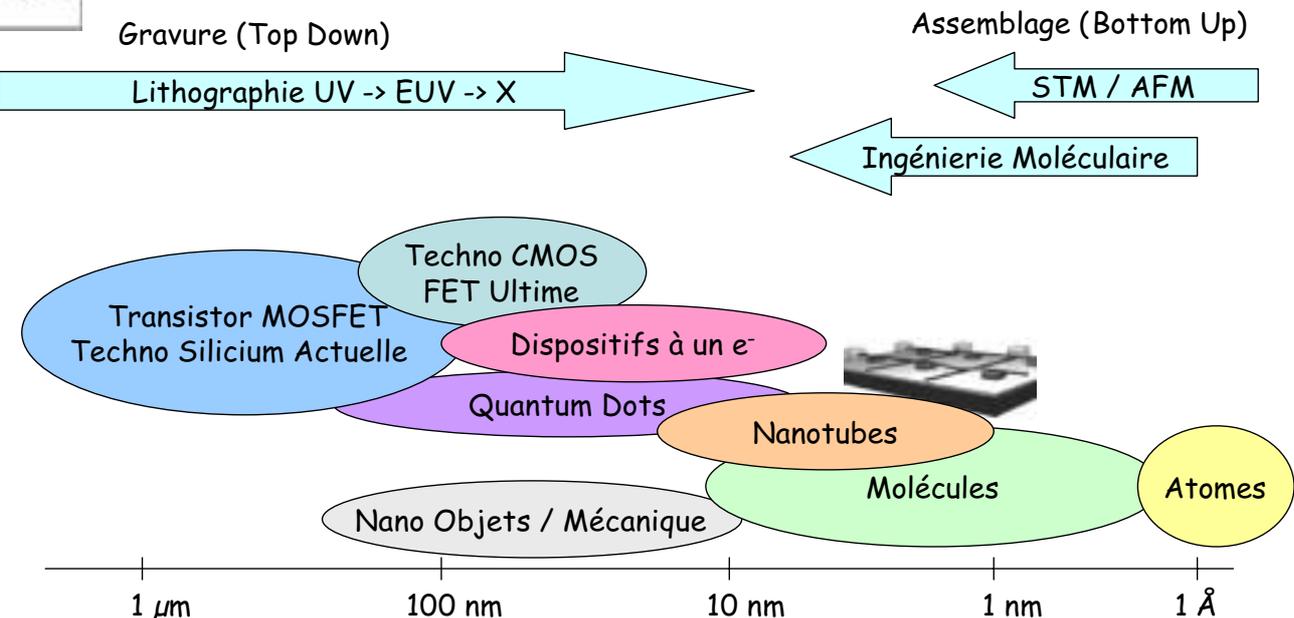
LIST/DTSI



## Propositions technologiques



LIST/DTSI



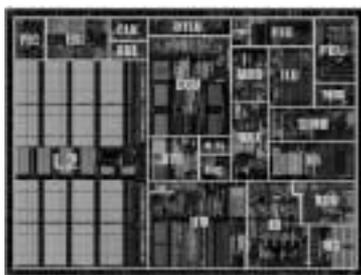


- Développer de nouvelles solutions de calcul en phase avec les évolutions de la technologie et des besoins des utilisateurs :
  - Verrous : proposer des solutions de calcul innovantes, performantes et facilement accessibles (outils).
  - Besoins : processeurs embarqués de vision, processeurs de cryptographie, calculateurs dédiés application.

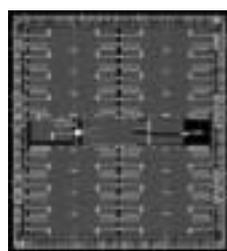
LIST/DTSI



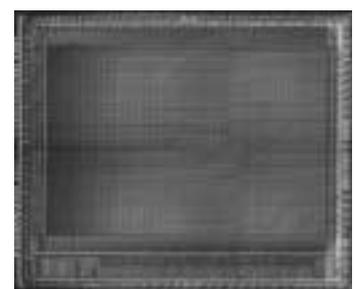
## Processeurs reconfigurables : Enjeux technologiques



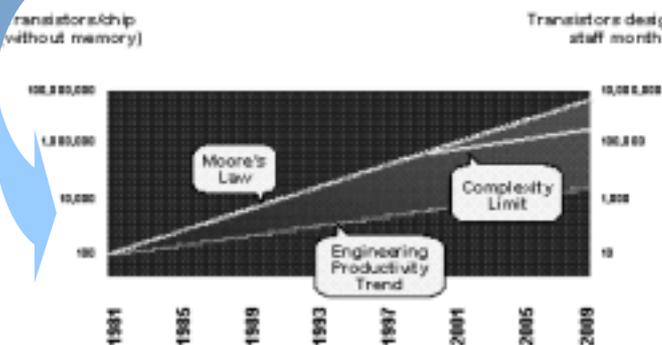
Pentium4



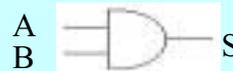
Processeur parallèle et reconfigurable du LIST



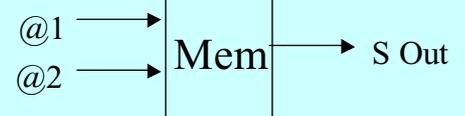
Composant reconfigurable



Source: Semiconductor Industry Association



A	B	S
0	0	0
0	1	0
1	0	0
1	1	1





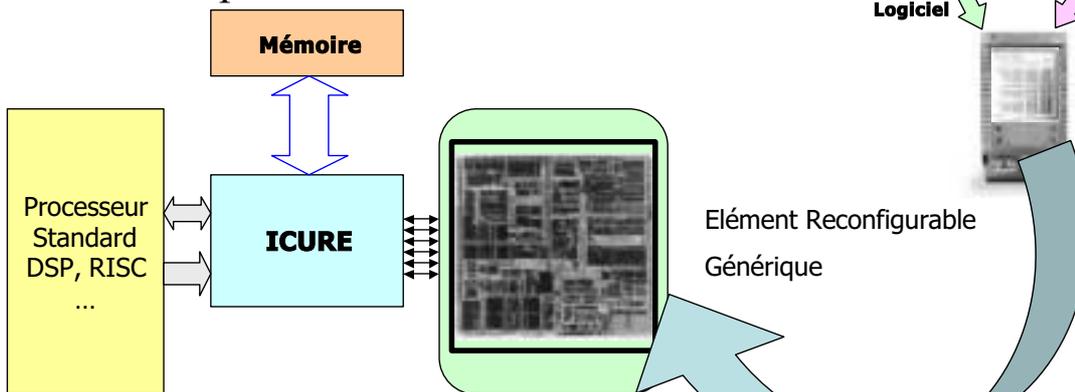
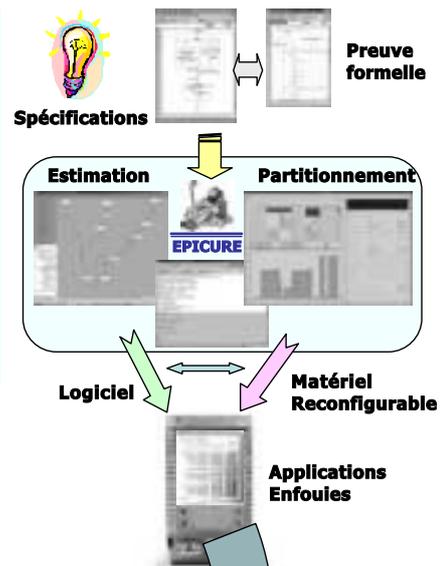
- Le processeur reconfigurable s'adapte à l'application
  - Création de nouvelles instructions
  - Optimisation de l'architecture et des interfaces
- Les performances sont accrues :
  - Traitement de grands volumes de données (matrices, images)
  - Cadences de traitement élevées (temps-réel, vidéo)
- Le temps de conception est raccourci
- La pérennité des machines est assurée :
  - Adaptation à de nouveaux protocoles, standards, ...



## Projets EPICURE et OSGAR



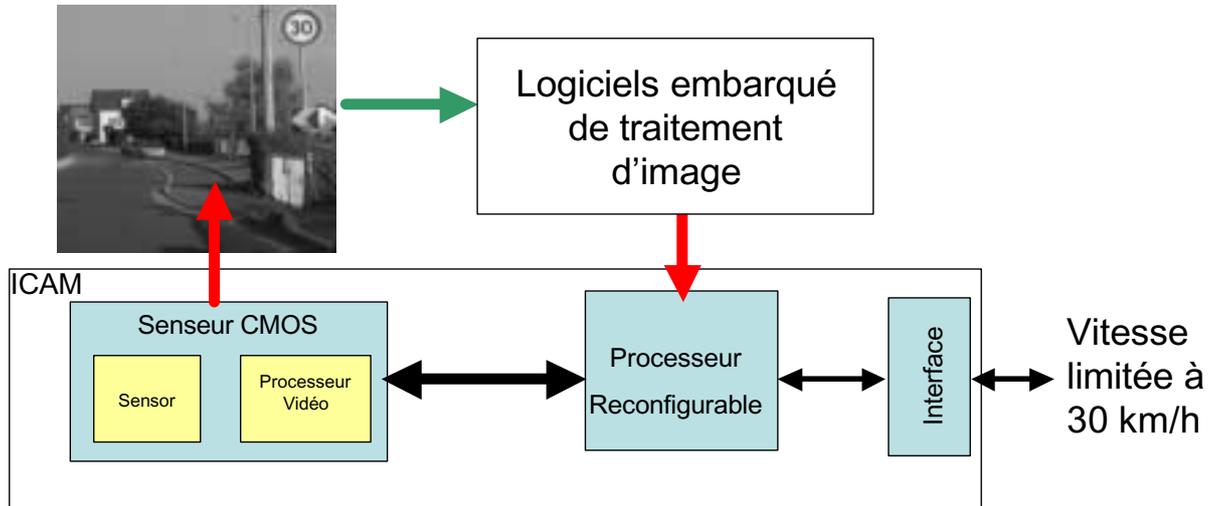
- Etude et développement d'outils pour architectures reconfigurables avancées (dynamique, autoreconfiguration, ...)
- Collaborations LESTER, I3S, ESTEREL T., THALES et CEA pour EPICURE et UBO, IRISA, TNI-V. et CEA pour OSGAR



## Projet ICAM

- Caméra faible coût (< 100 €), faible volume (cm<sup>3</sup>) et ayant une très forte puissance de calcul embarquée
- Collaborations Atmel, Thales, Thomson, Philips, WV, DC, Faurecia, Siemens, Alstom, RATP, CMM, TIMA et CEA

LIST/DTSI



Architectures du futur - 3 Avril 2003 – Ecole Thématique de Roscoff- LCEI/TC

39

## Applications de ICAM

LIST/DTSI

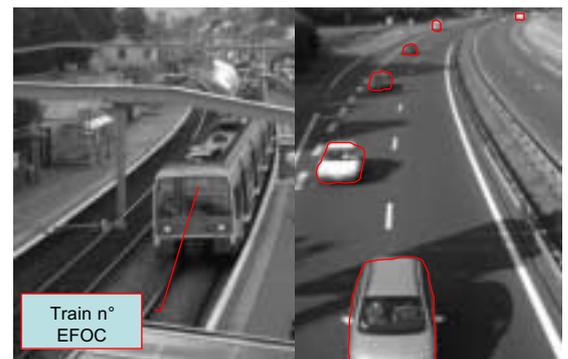
### Assistance au conducteur :

Embarquée au sein d'un véhicule, ICAM permettra de détecter des piétons, des obstacles et rappelle au conducteur la signalisation, etc.



### Vidéo-surveillance :

ICAM pourra tout aussi bien effectuer des opérations de vidéo-surveillance d'un quai de gare, compter les véhicules, détecter les accidents, etc.



Architectures du futur - 3 Avril 2003 – Ecole Thématique de Roscoff- LCEI/TC

40

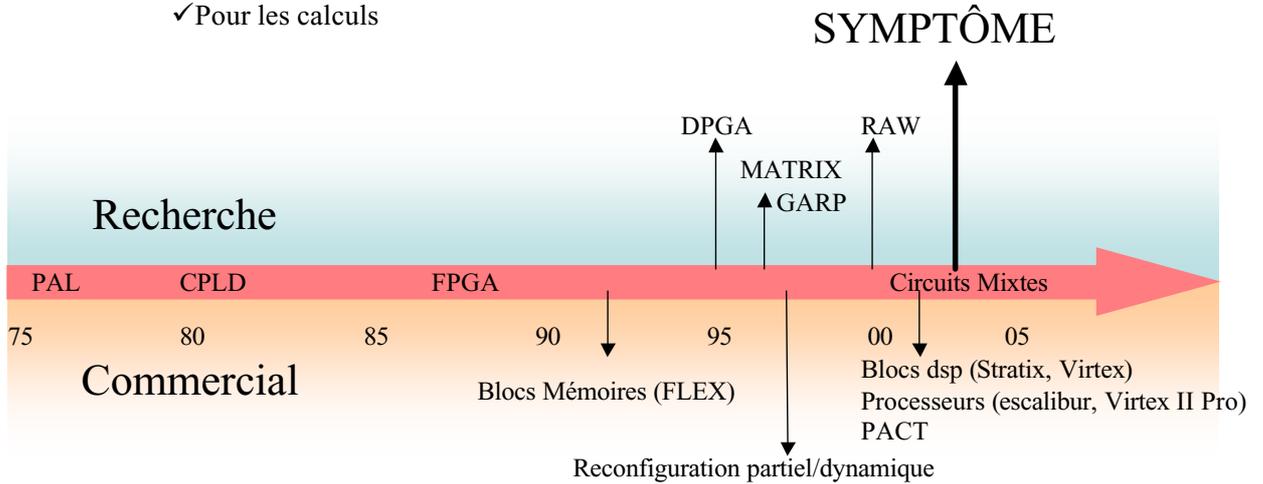
# Projet amont SYMPTÔME



## Notre Solution:

- ❑ Conserver la régularité et la modularité
- ❑ Conserver des blocs de bases simples
- ❑ Proposer des architectures reconfigurables spécialisés:
  - ✓ Pour le contrôle
  - ✓ Pour les calculs

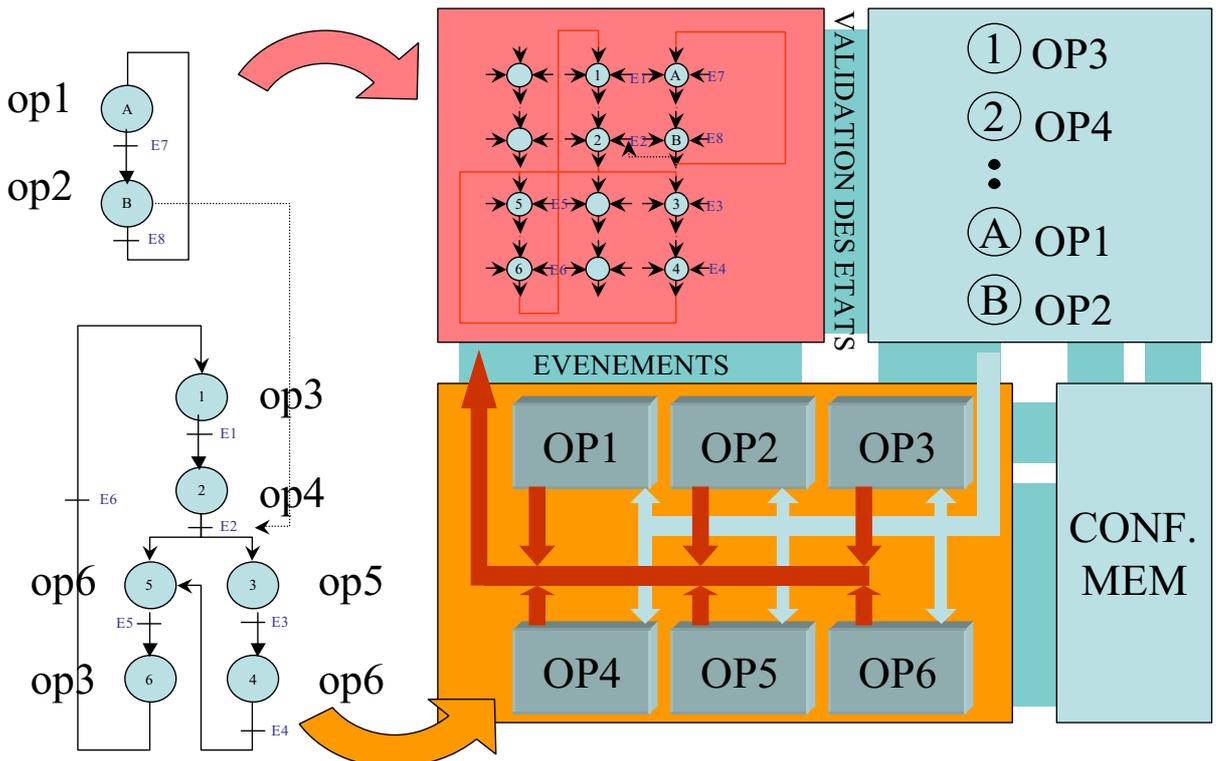
LIST/DTSI



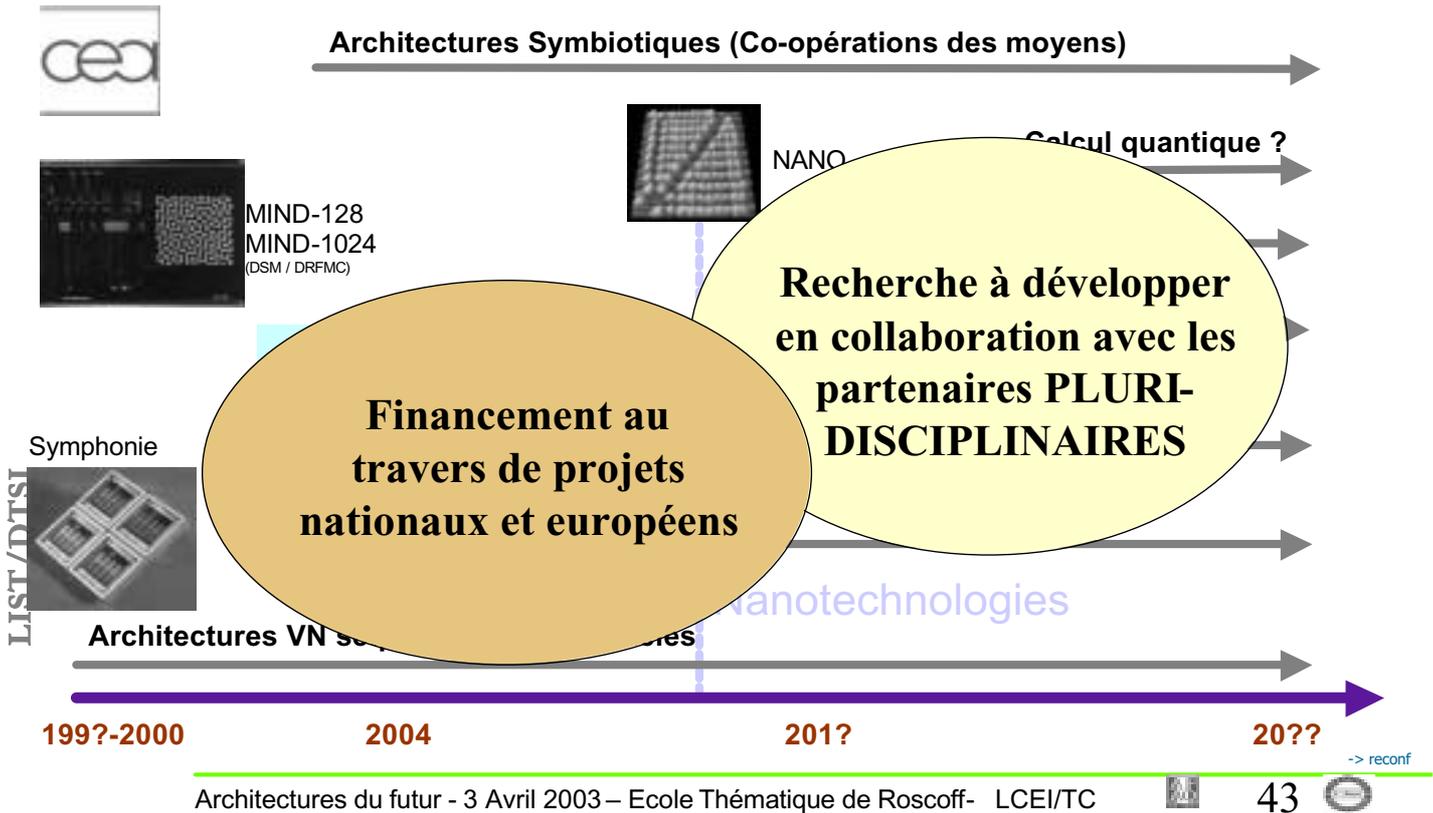
# Principe de SYMPTÔME



LIST/DTSI



## Conclusion



## Conclusion (2)

LIST/DTSI

- Evolution des architectures incrémentales (Déhon)
- Reconfigurable très bon candidat (mémoire)
- Architectures et Outils doivent être conçus ensemble
- La pluridisciplinarité est nécessaire
- De très nombreux travaux de recherche sont à entrevoir

## SUJET n°1 de PostDOC 2003 du Laboratoire Calculateurs Embarqués et Image



### Sujet : Impact de la reconfiguration dynamique des architectures de calcul sur la consommation électrique

Le laboratoire poursuit actuellement des études sur les architectures de calculateurs reconfigurables dynamiques. Dans ce type de dispositifs, les fonctions sont exécutées indifféremment par logiciel sur un processeur classique ou bien par un contexte matériel placé dans une ressource reconfigurable. Une possibilité intéressante qui devient alors envisageable, est de pouvoir faire migrer dynamiquement les tâches d'une exécution logicielle (processeur) vers une exécution matérielle (reconfiguration) ou l'inverse, afin d'optimiser l'utilisation des ressources. Cette stratégie permettrait en particulier d'optimiser dynamiquement la puissance électrique consommée par le système [1],[2]. Cette perspective est particulièrement séduisante dans le domaine des applications embarquées. Nous proposons d'engager des études sur ce sujet : impact de la reconfiguration dynamique des architectures de calcul sur la consommation électrique.

Le travail demandé consiste donc à effectuer tout d'abord un état de l'art du domaine, puis en s'appuyant sur les travaux en cours au laboratoire, d'effectuer une exploration des architectures de calcul reconfigurable afin d'être en mesure de faire des propositions de solutions adaptées aux problèmes de la gestion de consommation. Une modélisation architecturale sera effectuée à l'aide de langages tels que SystemC et d'outils de co-simulation comme Synopsys CoCentric System Studio ou Mentor Seamless.

Outre une formation initiale en électronique et un doctorat dans le domaine de l'architecture des calculateurs, le candidat devra avoir de solides bases en technologies logicielles (langage C++). L'esprit d'initiative et imaginatif propre au travail dans un environnement de recherche devra être complété par de bonnes notions de la langue anglaise.

#### Références :

- [1] Jan M. Rabaey, "Reconfigurable Computing: The Solution to Low Power Programmable DSP," *Proceedings 1997 ICASSP Conference*, Munich, April 1997.
- [2] Arthur Abnous, Katsunori Seno, Yuji Ichikawa, Marlene Wan, Jan Rabaey, "Evaluation of a Low-Power Reconfigurable DSP Architecture," *Proceedings of the Reconfigurable Architectures Workshop*, Orlando, Florida, USA, March 1998
- [3] Francisco Barat, "Coarse-Grained Reconfigurable Instruction Set Processor for Low Power Multimedia Applications," *Proceedings 2nd PACT Symposium*, Edegem, September 2002

#### Compétences souhaitées

- Thèse en architecture de calculateurs embarqués ou le calcul reconfigurable.
- Très bonne maîtrise des langages SystemC et VHDL
- Electronique numérique

Autonomie et capacité à travailler en équipe

#### Contact :

Nom :Thierry Collette  
N° tél. :+33 1 6908 6525  
Email :thierry.collette@cea.



## SUJET n°2 de PostDOC 2003 du Laboratoire Calculateurs Embarqués et Image



### Apport des nanotechnologies dans les architectures de calculateurs reconfigurables

L'avènement des nanotechnologies permet d'envisager des approches radicalement différentes dans la conceptions des calculateurs. Parmi les différentes architectures en cours d'étude, l'architecture de calcul reconfigurable semble particulièrement bien adaptée à ces technologies émergentes ainsi que le montrent des travaux récents.

Dans cette étude il s'agira tout d'abord de faire un état de l'art du domaine puis, au sein d'une équipe composée d'architectes de machines et de spécialistes des nanotechnologies d'initier un programme de recherche et développement. Il conviendra en particulier de dégager un nombre réduit de pistes qui conduiront à la réalisation de démonstrateurs technologiques.

Le candidat devra avoir de solides bases en architecture des systèmes de calcul, en microélectronique et en physique. Une connaissance des nanotechnologies (nanotubes et nanofils, électronique moléculaire) serait un atout déterminant.

L'étude sera menée en partenariat entre les laboratoires LIST/DTSI/LCEI et LETI/DSIS/... qui développent des concepts de calculateurs reconfigurables, le LETI/DTS/.. ainsi que le DRFMC pour les aspects liées aux nanotechnologies.

#### Contact :

Nom :Christian Gamrat  
N° tél. :+33 1 6908 9074  
Email :christian.gamrat@cea.

