

Les technologies CMOS avancées au service des designers

Laurent Fesquet ⁽¹⁾
Stéphane Monfray ⁽²⁾, Jean-Pierre Carrère ⁽²⁾

(1) TIMA Laboratory, 46, avenue Félix Viallet, 38031 Grenoble
Laurent.Fesquet@imag.fr

(2) ST Microelectronics, 850 avenue Jean Monnet, 38950 Crolles



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
1

Sommaire

- Motivations
- Le transistor MOS
- Les obstacles technologiques
- L'optimisation des modules technologiques
- Les architectures avancées
- Les Solutions Design



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
2

Motivations

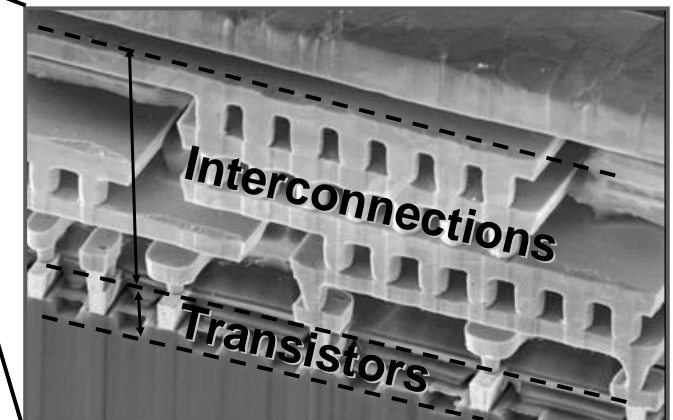
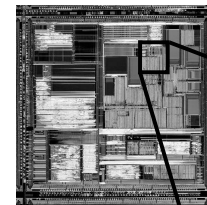
- Evolution rapide des technologies
 → un panorama
- Difficultés pour le concepteur de percevoir les avantages et les inconvénients d'une technologie
- Mieux comprendre le monde du process pour mieux concevoir ...



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
3

Dissection d'un circuit ...



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
4

Sommaire

- ▣ Motivations
- ▣ Le transistor MOS
- ▣ Les obstacles technologiques
- ▣ L'optimisation des modules technologiques
- ▣ Les architectures avancées
- ▣ Les Solutions Design

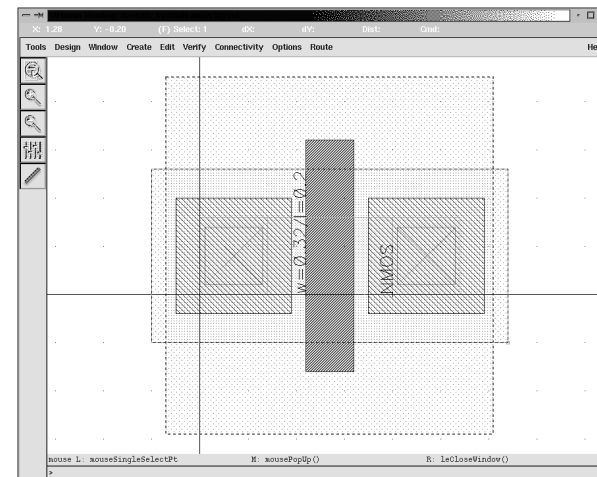


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
5

Le Transistor MOS

(Vu par le concepteur de circuits)

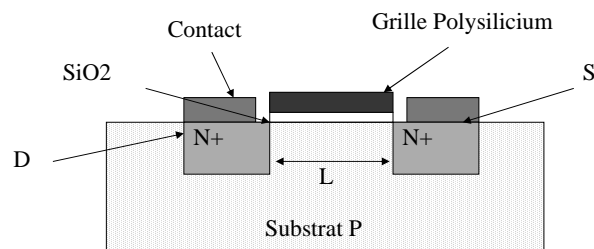


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
6

Le Transistor MOS

(Vu par le concepteur de circuits)

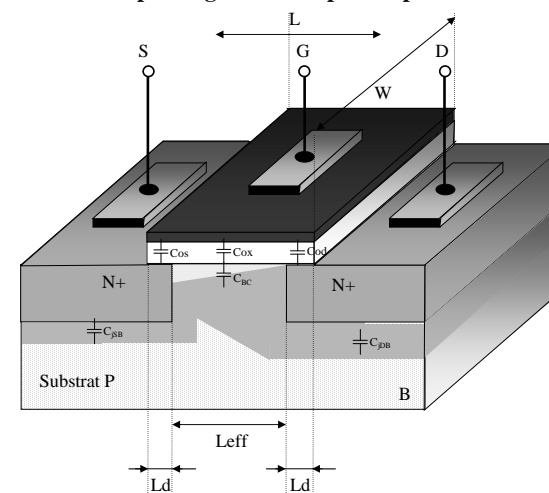


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
7

Le Transistor MOS

Modélisation du transistor MOS
Modèle petit signal avec capacités parasites

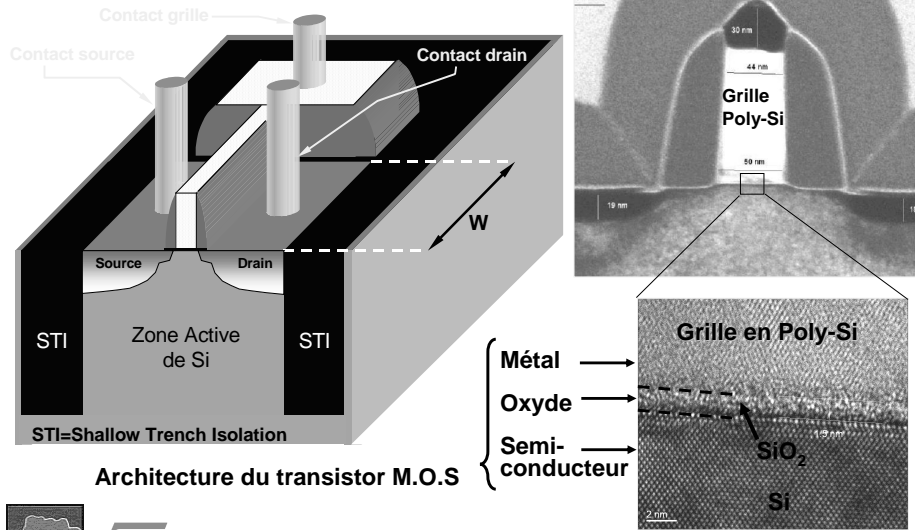


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
8

Le Transistor MOS

(vu par le technologue)



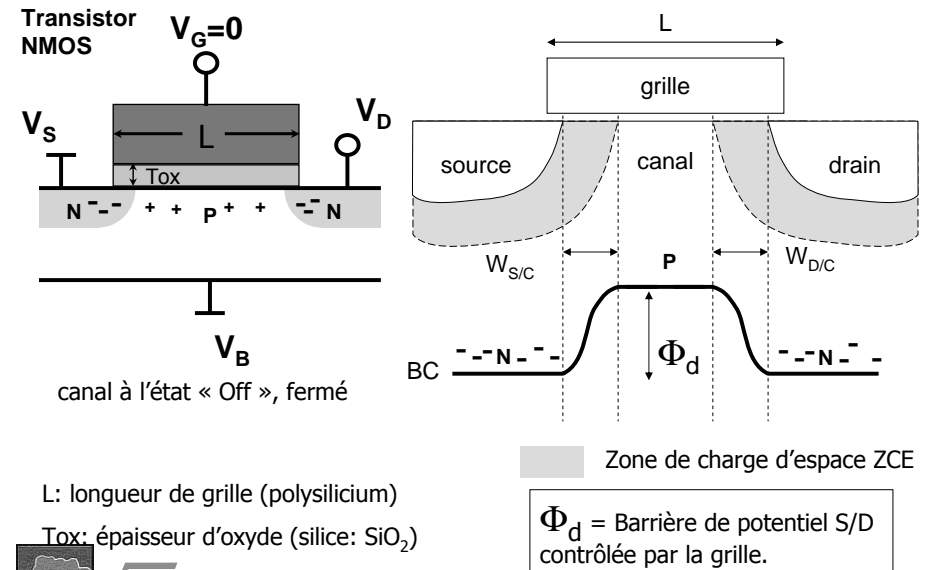
Architecture du transistor M.O.S



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
9

Fonctionnement du Transistor MOS



L: longueur de grille (polysilicium)

Tox: épaisseur d'oxyde (silice: SiO₂)

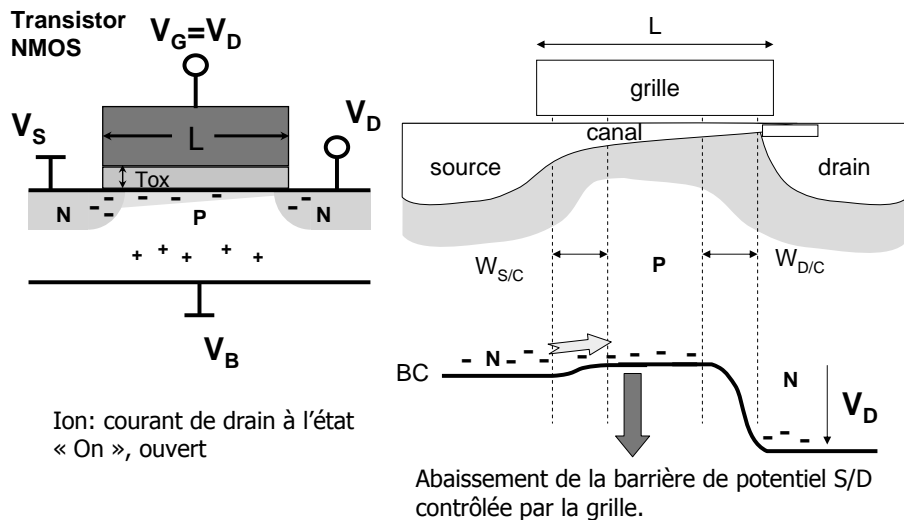
Zone de charge d'espace ZCE
 Φ_d = Barrière de potentiel S/D contrôlée par la grille.



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
10

Fonctionnement du Transistor MOS



Ion: courant de drain à l'état « On », ouvert

Abaissement de la barrière de potentiel S/D contrôlée par la grille.

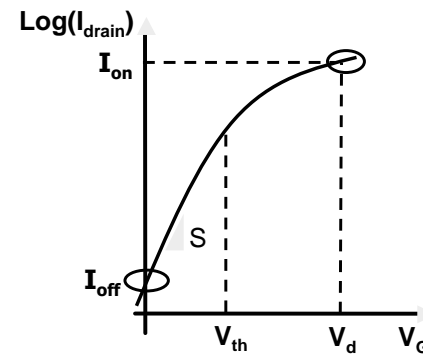


Vth: tension de seuil, correspond au déclenchement du transistor

Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

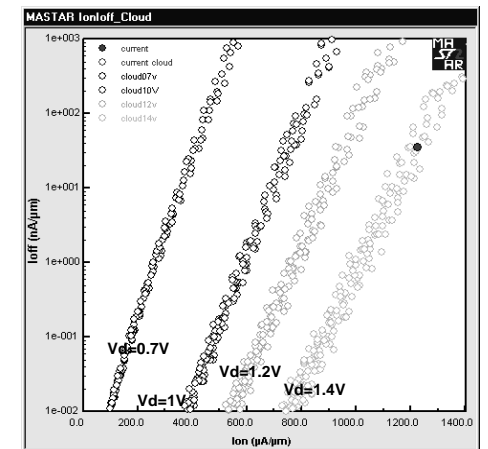
Archi05'05 – 23/03/2005
11

Pente sous le seuil= variation de la barrière S/D en fonction de Vg



$V_g = 0V$ $I_{drain} = I_{off}$ (courant de fuite)

$V_g = V_d$ $I_{drain} = I_{on}$ (courant débité)



Caractéristiques I_{on}/I_{off}



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
12

T_0 = temps de commutation

$$= CV_{dd} / I_{on}$$

I_{on} élevé permet donc de réduire le délai de réponse du dispositif

Applications: CPU (on maintient V_{dd} élevé car $I \propto V_{dd}^2$)

P = puissance statique dissipée par le dispositif

$$= V_{dd} \cdot I_{off}$$

I_{off} détermine donc la puissance dissipée par un composant au repos

Intérêt du I_{off} faible: *Equipement portable



*Dissipation de chaleur limitée

Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
13

Les objectifs à atteindre ...

- 2 classes de transistors : HP, LP
- Trouver le meilleur compromis I_{on}/I_{off} !



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
14

Objectif du transistor: posséder le meilleur compromis I_{on}/I_{off}

Problème: l'amélioration d'un paramètre se fait toujours au détriment de l'autre!

Transistors
High-Performances

I_{on} élevé
 I_{off} relaxé

CPU

Transistors
Low-Power

I_{off} très faible
 I_{on} relaxé

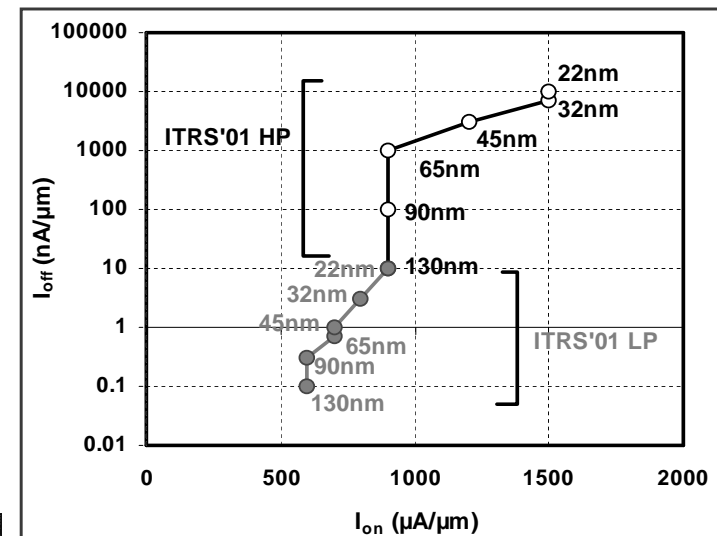
portables



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
15

ITRS Roadmap (International Technology Roadmap for Semiconductors)



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
16

ITRS Roadmap (International Technology Roadmap for Semiconductors)

Nœud	130	90	65	45	32	22
Transistors Hautes Performances (HP)						
L_{grille} (nm)	65	45	25	18	13	9
T_{ox} (Å)	14.5	12.5	8.5	6.5	5	4.5
V_{dd} (V)	1.2	1	0,7	0,6	0,5	0,4
Transistors Basse Consommation (LP)						
L_{grille} (nm)	90	53	32	22	16	11
T_{ox} (Å)	22	16	10	8	7	6
V_{dd} (V)	1.2	1.1	0,9	0,8	0,7	0,6



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
17

Sommaire

- ▣ Introduction
- ▣ Le transistor MOS
- ▣ Les obstacles technologiques
- ▣ L'optimisation des modules technologiques
- ▣ Les architectures avancées
- ▣ Les Solutions Design



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
18

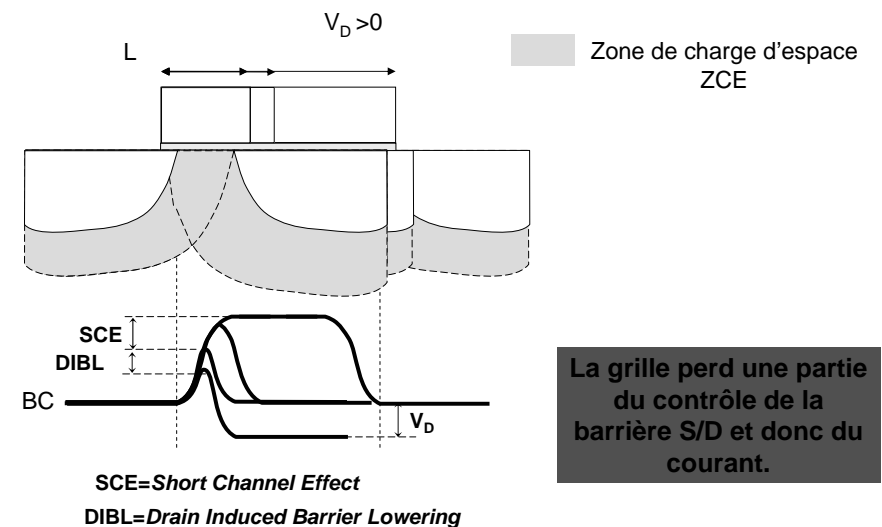
Les obstacles...

Les effets de canaux courts

Le diélectrique de grille

Les résistances séries des jonctions

SCE et DIBL: principaux effets canaux courts



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
19



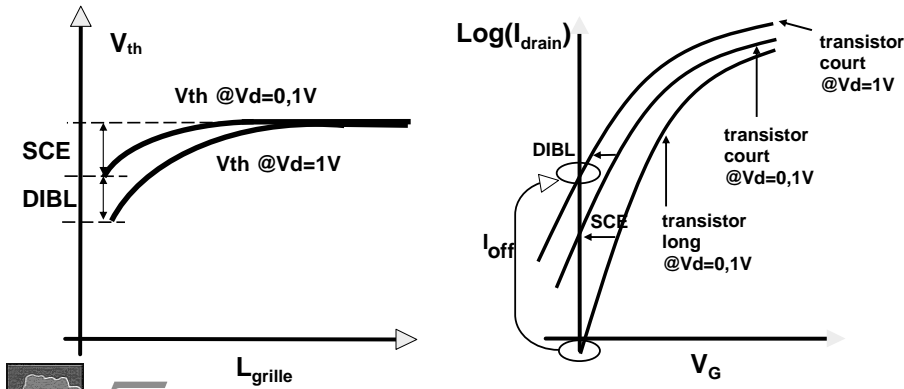
Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
20

SCE et DIBL: principaux effets canaux courts

L'abaissement de la barrière facilite la mise en conduction du transistor:
 → V_{th} diminue

I_{off} augmente:
 la puissance consommée au repos augmente
 → mauvais pour applications mobiles.



Laurent Fesquet, Stéphane Monfray,
 Jean-Pierre Carrère

Archi05'05 – 23/03/2005
 21

Les obstacles...

Les effets de canaux courts

Le diélectrique de grille

Les résistances séries des jonctions



Laurent Fesquet, Stéphane Monfray,
 Jean-Pierre Carrère

Archi05'05 – 23/03/2005
 22

Plus vite:
 Augmenter I_{on}

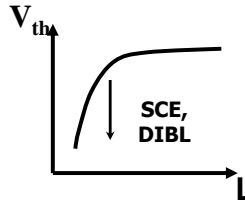
Plus économique:
 Diminuer I_{off}

Plus petit:
 Diminuer L

Diminution L :
 SCE DIBL

« Short Channel Effect »
 « Drain Induced Barrier Lowering »

$$V_{th} = V_{th0} - \alpha \frac{T_{ox}}{L^2}$$



Diminuer I_{off} :

$$I_{off} = I_{th} \cdot \exp\left(\frac{-V_{th}}{S} \ln 10\right)$$

Augmenter I_{on} :

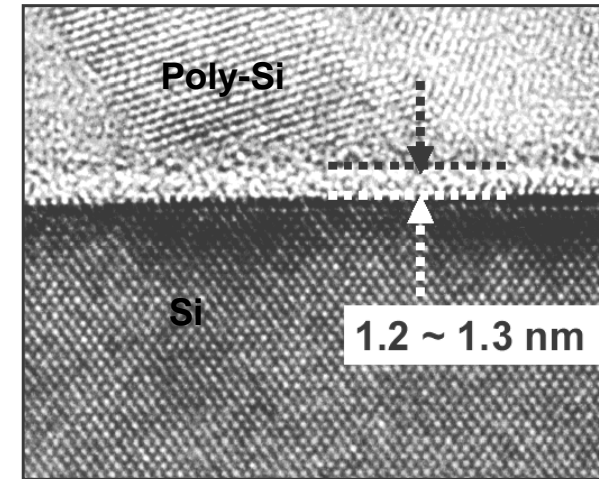
$$I_{on} = \frac{1}{2} \mu \frac{\epsilon_{ox}}{T_{ox}} \frac{W}{L} \frac{V_{GT}^2}{1 + \mu \frac{\epsilon_{ox}}{T_{ox}} \frac{W}{L} \cdot R_s \cdot V_{GT}}$$

Solution envisageable: **Réduire T_{ox}**



Laurent Fesquet, Stéphane Monfray,
 Jean-Pierre Carrère

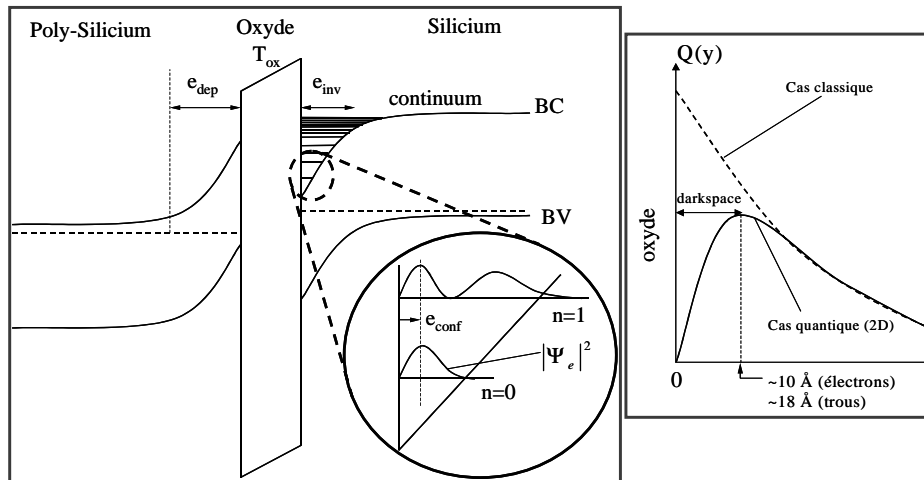
Archi05'05 – 23/03/2005
 23



Laurent Fesquet, Stéphane Monfray,
 Jean-Pierre Carrère

Archi05'05 – 23/03/2005
 24

Épaisseur d'oxyde équivalente



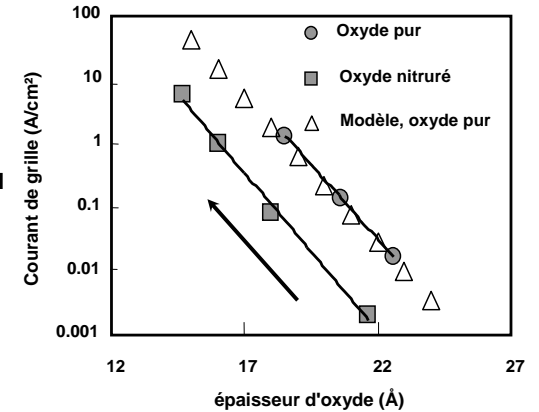
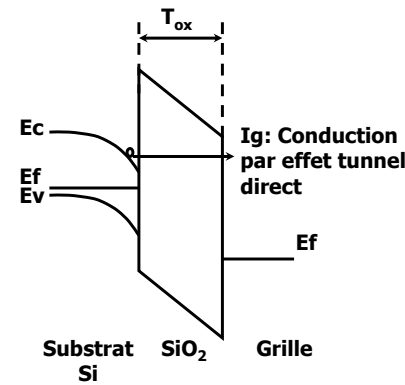
$$T_{ox}^{ea} = T_{ox} + T_{dep}^{poly} + T_q$$

Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
25



Effet parasite lié à la réduction de Tox:



Modèle simple $I_g = C \cdot \exp[-A \cdot (1 - B \cdot V_g) \cdot T_{ox}]$
A, B, C paramètres d'ajustement

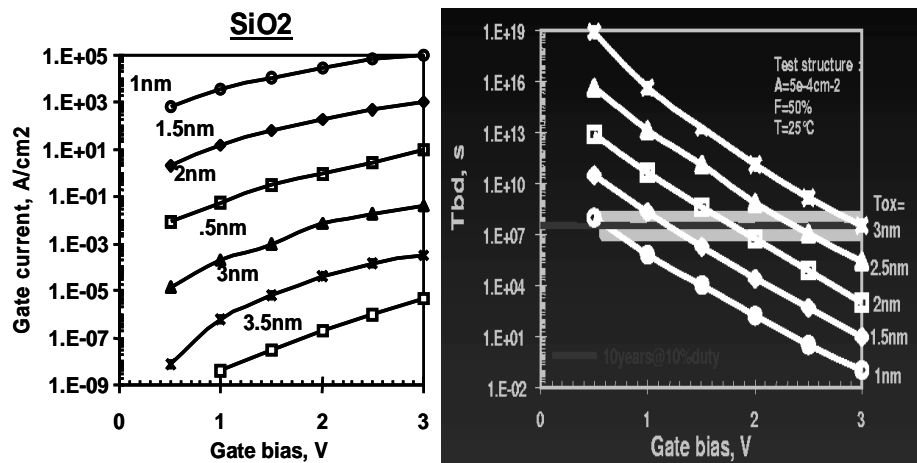
Augmentation exponentielle de Ig (~1décade pour 2Å)



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
26

Les fuites de grille: impact du courant tunnel



I_{gate} augmente (tunnel direct)

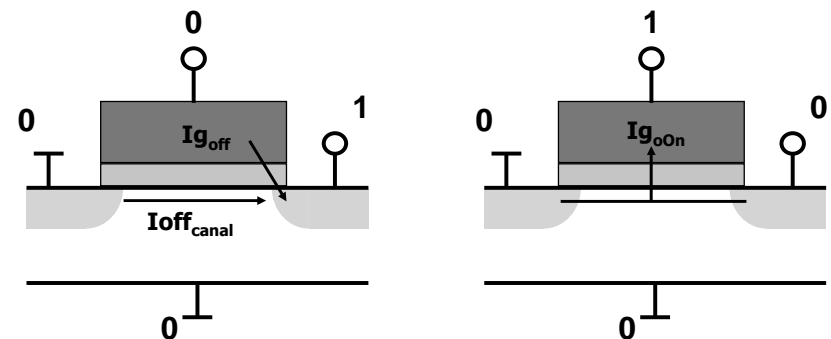
La durée de vie avant claquage diminue



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
27

Comment Ig participe à la consommation d'un circuit?



En mode statique, il existe deux courants de fuite: I_{gOff} et I_{gOn} qui s'ajoutent à I_{off}

Si $T_{ox} \searrow$ $I_g \nearrow$, Puissance Consommée \nearrow



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
28

Les obstacles...

Les effets de canaux courts

Le diélectrique de grille

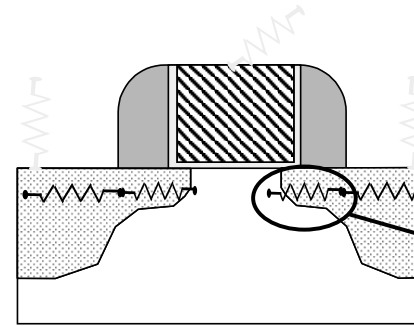
Les résistances séries des jonctions



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
29

Les résistances d'accès: Grille, contact, SD et extensions



Réduire la résistance des extensions:

*Augmenter le dopage des extensions

*Optimiser le recuit d'activation

*Compromis R_s vs X_j à trouver pour limiter la diffusion latérale (augmentation des effets canaux courts)



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
30

Sommaire

- ▣ Introduction
- ▣ Le transistor MOS
- ▣ Les obstacles technologiques
- ▣ L'optimisation des modules technologiques
- ▣ Les architectures avancées
- ▣ Les Solutions Design



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
31

Les optimisations

Le diélectrique de grille

La réduction des SCE

Les résistances séries

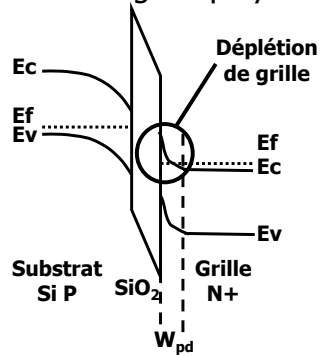


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

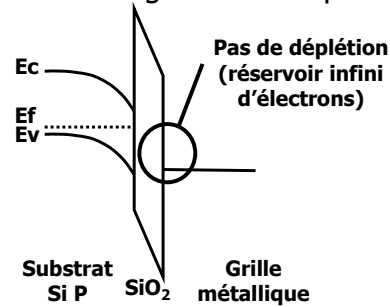
Archi05'05 – 23/03/2005
32

Déplétion de grille: zone de désertion dans une grille polySi

□ Cas d'une grille polySi



□ Cas d'une grille métallique



Suppression de la déplétion avec la grille métallique

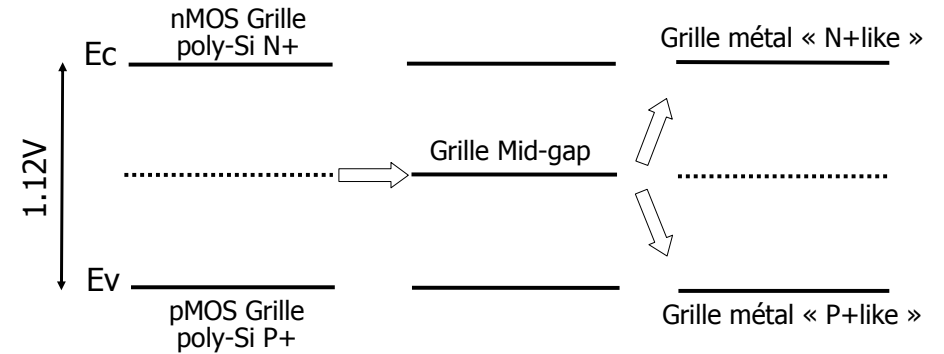


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
33

Grilles métalliques: travail de sortie

Les métaux ont différents travaux de sortie $\Phi_{\text{métal}}$



Choix: Utiliser une seule grille mid-gap ou deux grilles duales

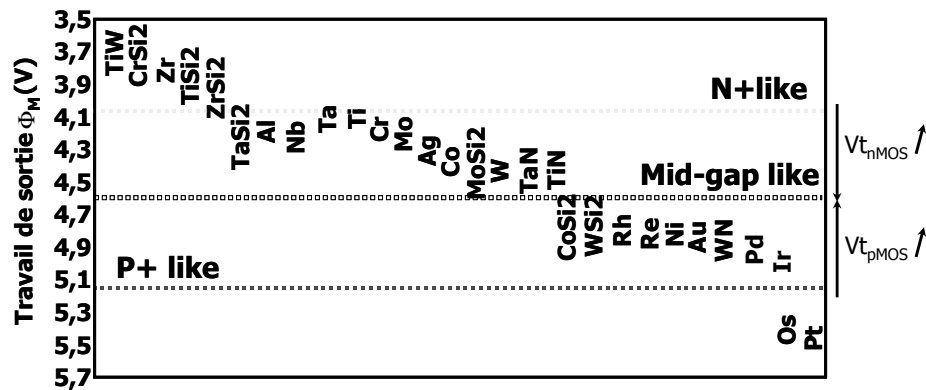


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
34

Grilles métalliques: ajustement de Vt

$V_{th} = f(\Phi_{\text{métal}} - \Phi_{\text{substrat}})$ donc changer $\Phi_{\text{métal}}$ peut faire varier Vt



Jouer sur $\Phi_{\text{métal}}$ peut permettre d'ajuster les Vt
(ex: SOI complètement déplétés)



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
35

Les optimisations

Le diélectrique de grille
La réduction des SCE
Les résistances séries



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
36

Augmenter le dopage du canal pour compenser le SCE pour compenser le SCE



La moindre variation sur L_{grille} implique une forte dispersion en tension de seuil

Maintenir la courbe $V_{th}(L)$ plate: augmenter le dopage du canal sur les transistors les plus courts seulement.

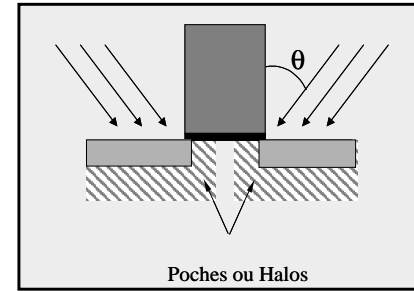
Solution?...



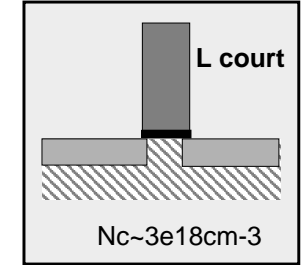
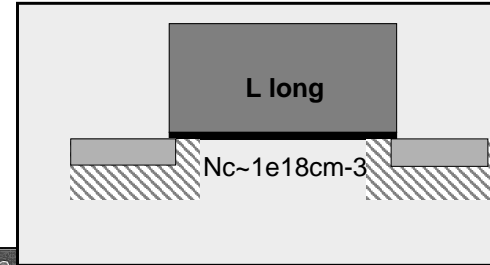
Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
37

Implantation Ionique tiltée



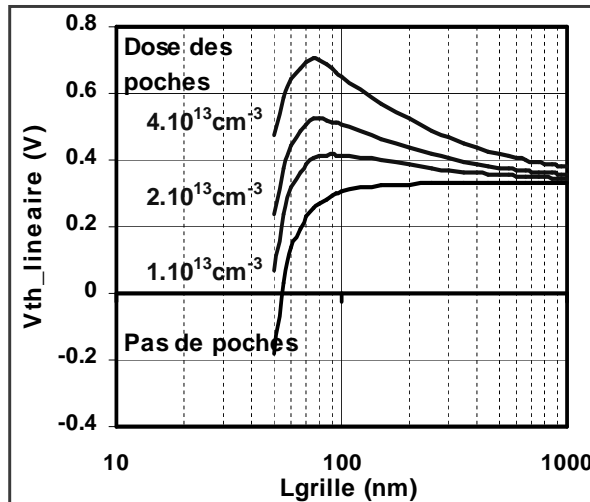
Principe de l'implantation des poches



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
38

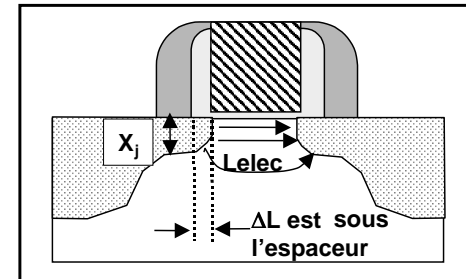
Impact des poches sur la caractéristique $V_{th}(L)$



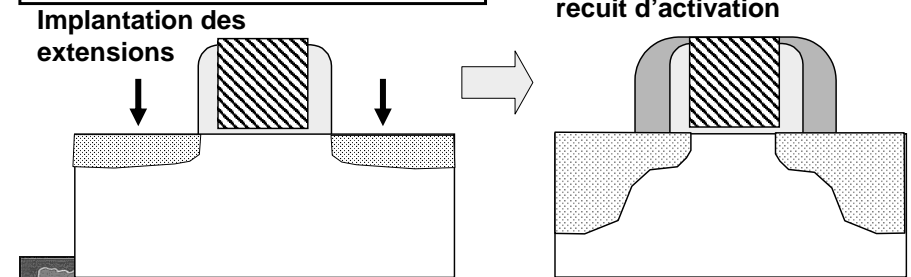
Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
39

Les offset spacers: augmenter L_{elec}



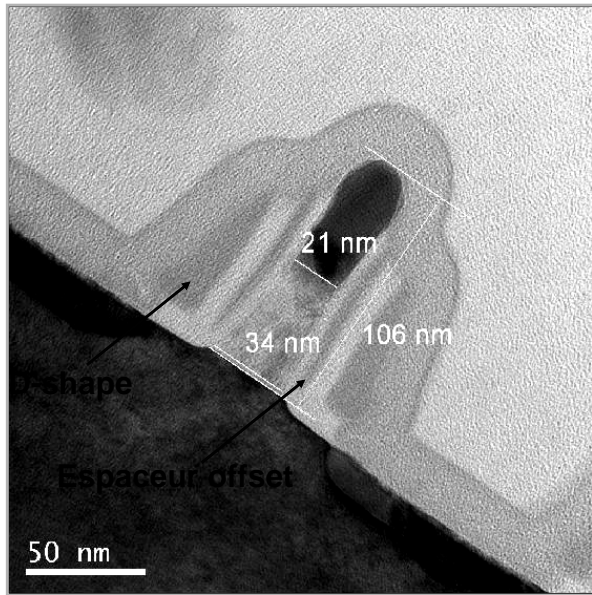
Second espaceur standard
Implantation SD
recuit d'activation



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
40

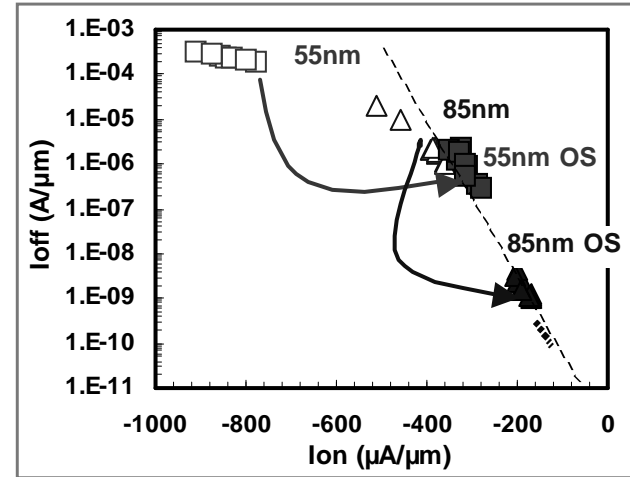
Espaceur



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
41

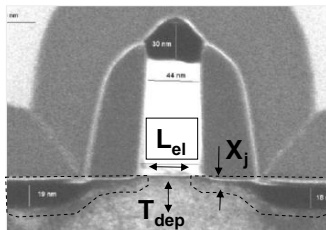
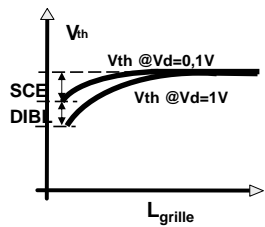
Les offset spacers: augmenter L_{elec}



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
42

Les paramètres d'optimisation



L_{el} = longueur électrique
 T_{ox} = épaisseur d'oxyde
 X_j = profondeur des extensions
 T_{dep} = profondeur de déplétion

$$SCE = 0.64 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left(1 + \frac{X_j^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{dep}}{L_{el}} \Phi_d$$

$$DIBL = 0.8 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left(1 + \frac{X_j^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{dep}}{L_{el}} V_d$$

Réduction de
 X_j , T_{ox} et T_{dep}

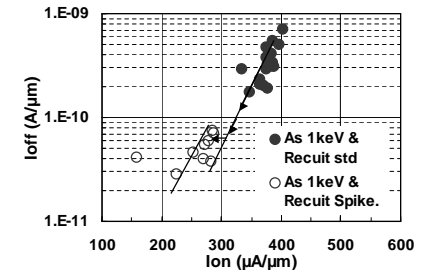
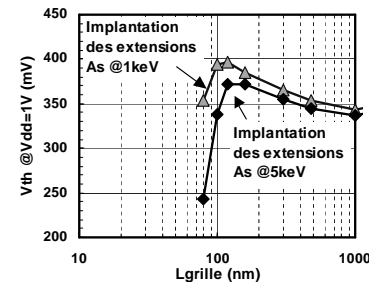
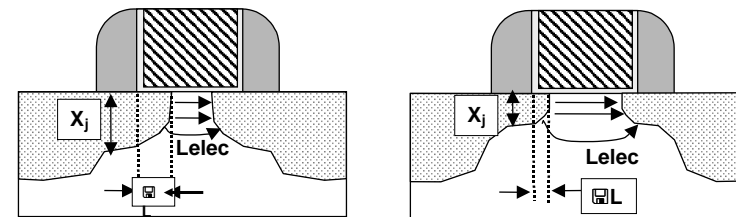
[modélisation MASTAR]
 [Skotnicki, encyclopédie TI, 00]
 [Skotnicki, ESSDERC, 00]
 Archi05'05 – 23/03/2005

Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

43



Réduire la profondeur des extensions



Implantation ULE (Ultra Low Energy) Recuit spike (~1100°C, tps < 1s)

Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
44

Reduction de X_j , T_{ox} et T_{dep}

X_j faible: techniques d'implantations très basse énergie (ULE, PLAD...) + recuits spike

→ **conserver une dose d'implantation forte pour garder une résistance d'accès faible**

Réduire T_{ox} : apparition de fuites tunnel

Réduire T_{dep} : $T_{dep} = \sqrt{\frac{2\epsilon_s}{qN_{ch}}(2\phi_F - V_b)}$ N_{ch} =dopage canal
 ϕ_F =potentiel de Fermi
 V_b =potentiel de substrat

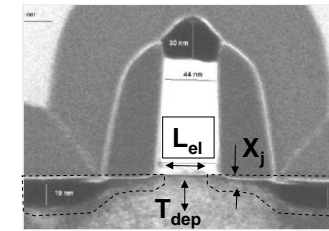
Impose un dopage canal plus fort
 → **dégrade la mobilité donc I_{on}**



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
45

Les paramètres d'optimisation



L_{el} =longueur électrique
 T_{ox} =épaisseur d'oxyde
 X_j =profondeur des extensions
 T_{dep} =profondeur de déplétion

$$SCE = 0.64 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left(1 + \frac{X_j^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{dep}}{L_{el}} \Phi_d$$

$$DIBL = 0.8 \frac{\epsilon_{Si}}{\epsilon_{ox}} \left(1 + \frac{X_j^2}{L_{el}^2} \right) \frac{T_{ox}}{L_{el}} \frac{T_{dep}}{L_{el}} V_d$$

→ **Réduction de X_j , T_{ox} et T_{dep}**

[modélisation MASTAR]
 [Skotnicki, encyclopédie TI, 00]
 [Skotnicki, ESSDERC, 00]
 Archi05'05 – 23/03/2005
 46



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Reduction de X_j , T_{ox} et T_{dep}

X_j faible: techniques d'implantations très basse énergie (ULE, PLAD...) + recuits spike

→ **conserver une dose d'implantation forte pour garder une résistance d'accès faible**

Réduire T_{ox} : apparition de fuites tunnel

Réduire T_{dep} : $T_{dep} = \sqrt{\frac{2\epsilon_s}{qN_{ch}}(2\phi_F - V_b)}$ N_{ch} =dopage canal
 ϕ_F =potentiel de Fermi
 V_b =potentiel de substrat

Impose un dopage canal plus fort
 → **dégrade la mobilité donc I_{on}**



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
47

Les optimisations

Le diélectrique de grille

La réduction des SCE

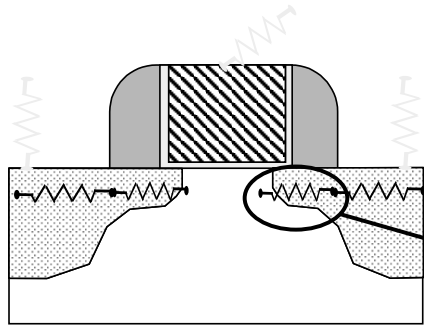
Les résistances séries



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
48

Les résistances d'accès: Grille, contact, SD et extensions



Réduire la résistance des extensions:

*Augmenter le dopage des extensions

*Optimiser le recuit d'activation

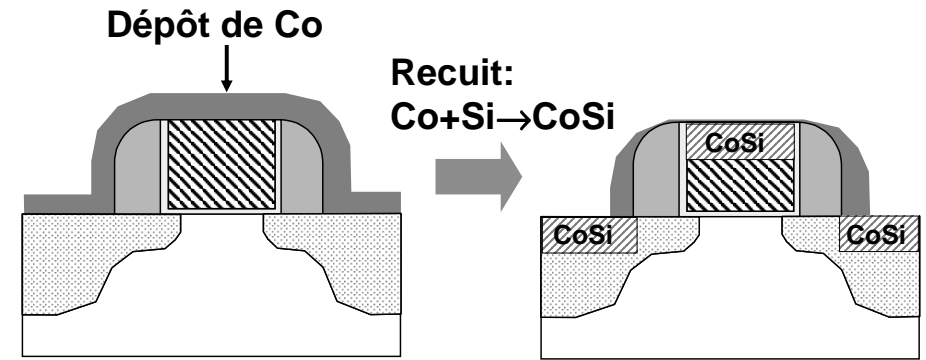
*Compromis R_s vs X_j à trouver pour limiter la diffusion latérale (augmentation des effets canaux courts)



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
49

Réduction des résistances de contact : la siliciuration

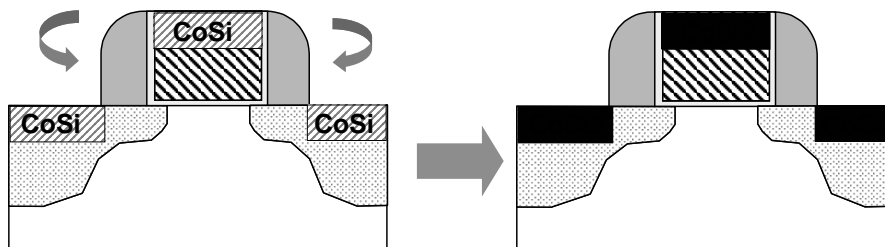


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
50

Réduction des résistances de contact : la siliciuration

Retrait du Co n'ayant pas réagit

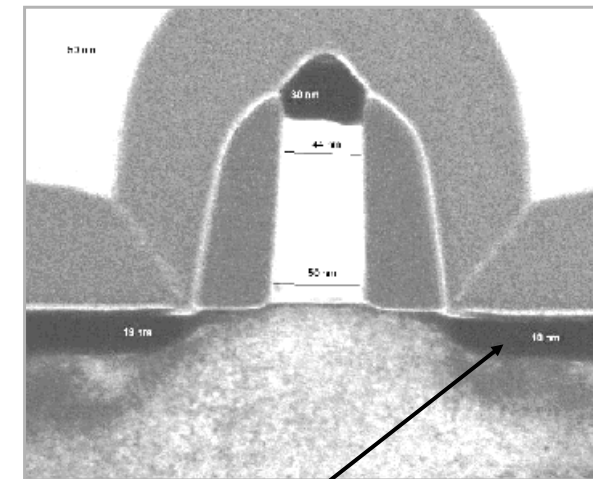


Recuit: $CoSi + Si \rightarrow CoSi_2$
(métal)



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
51



Transistor 50nm avec CoSi



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
52

Sommaire

- ▣ Introduction
- ▣ Le transistor MOS
- ▣ Les obstacles technologiques
- ▣ L'optimisation des modules technologiques
- ▣ Les optimisations / architectures avancées
- ▣ Les Solutions Design



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
53

Augmenter Ion

Agir sur la mobilité des porteurs dans le canal

Augmenter Ion:

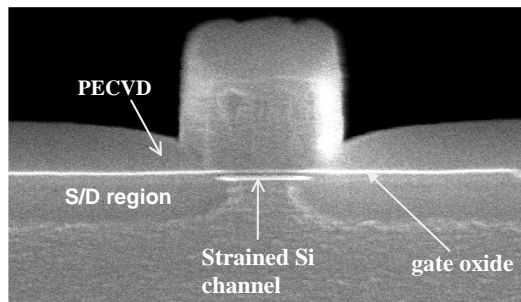
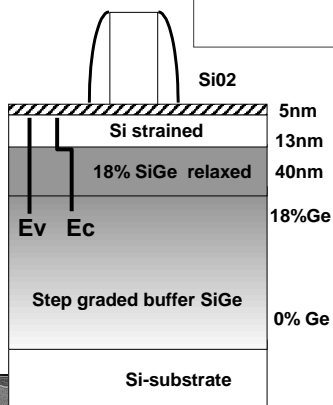
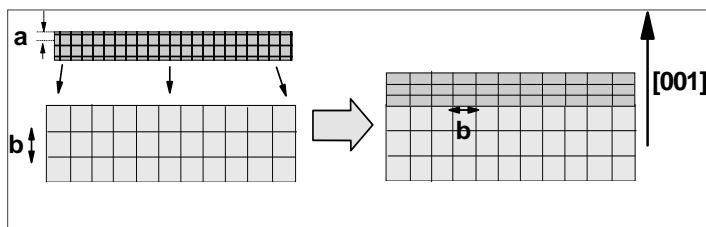
$$I_{on} = \frac{1}{2} \mu \frac{\epsilon_{ox}}{T_{ox}} \frac{W}{L} \frac{V_{GT}^2}{1 + \mu \frac{\epsilon_{ox}}{T_{ox}} \frac{W}{L} \cdot R_S \cdot V_{GT}}$$



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
54

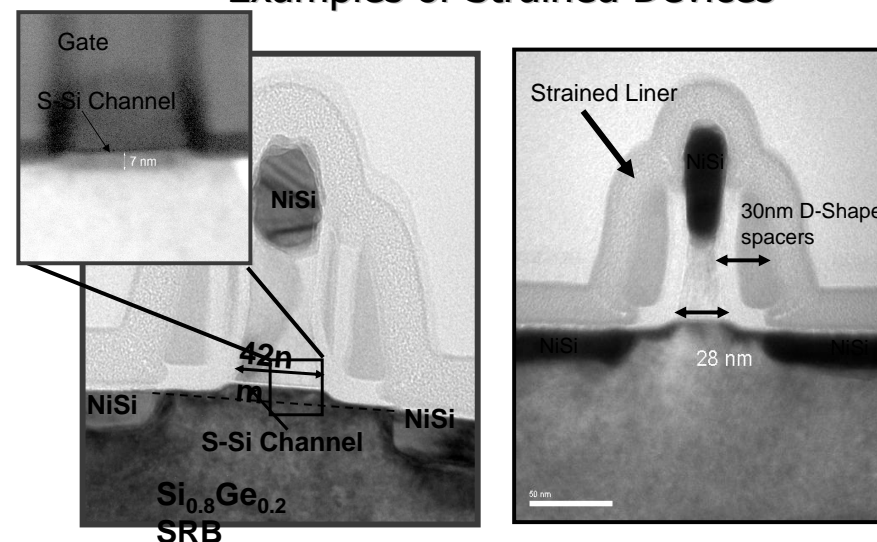
HIGH MOBILITY DEVICES - Strained Si-channels:



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
55

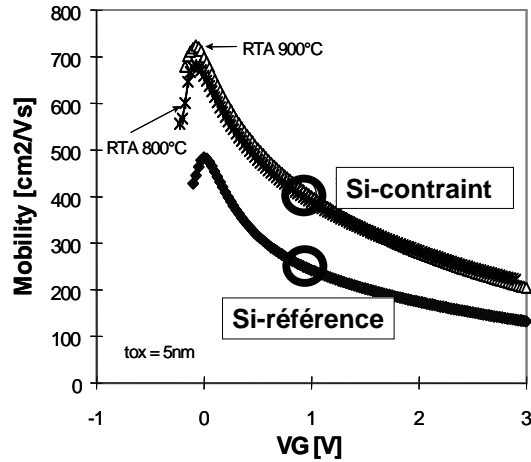
Examples of Strained Devices



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
56

Strained Si-channels



Expérimentalement, on observe environ 100% de gain en I_{on} sur les transistors longs.

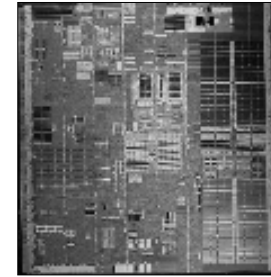
MAIS seulement ~20% sur les dispositifs courts (saturation de la vitesse due aux interactions avec les phonons)



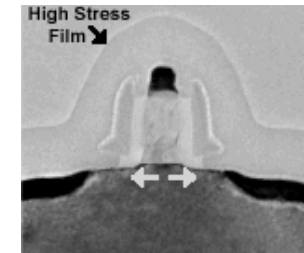
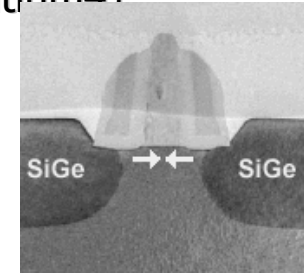
Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
57

Strained Si-channels: exemple on INTEL prescott (pentium4)



INTEL P4 prescott top view



Lgate=45nm



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
58

Grilles métalliques: motivations

Intérêt de la grille métallique

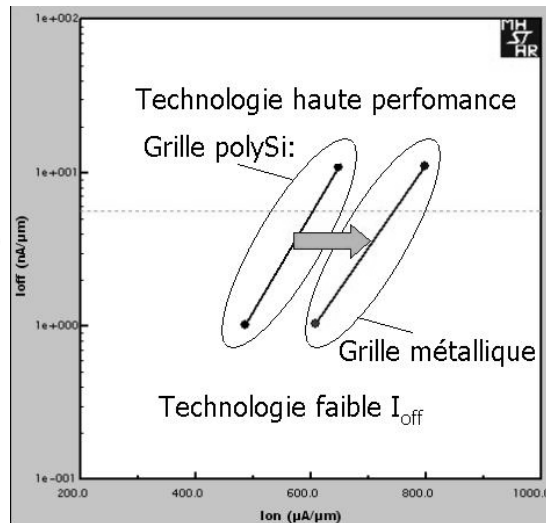
Modélisation Ion/Ioff MASTAR:

introduction de la grille métallique avec compensation du dopage canal (I_{off} constant)

Suppression de la déplétion donc diminution de l' EOT



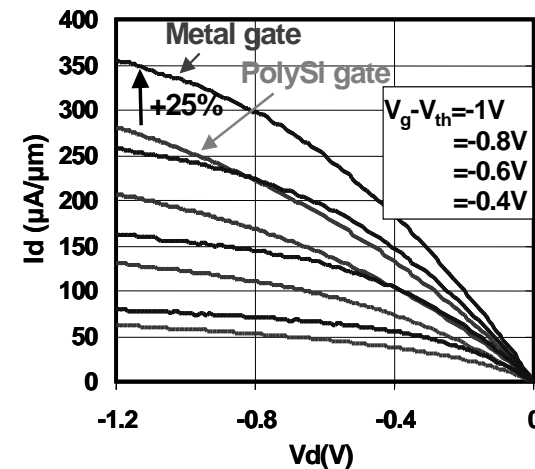
Gain en performance: +20%



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
59

Transistors a grille metalliques



$$T_{ox}^{ea} = T_{ox} + T_{dep}^{poly} + T_q$$

$$T_{ox,eff} = T_{ox} + 4\text{\AA}$$

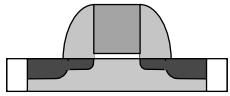


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

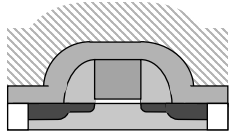
Archi05'05 – 23/03/2005
60

Architecture Damascène: principe

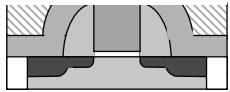
1. Procédé standard



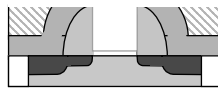
2. Dépôt de diélectriques



3. Polissage (CMP) des diélectriques



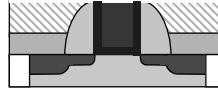
4. Retrait de la grille sacrificielle



5. Dépôt nouveaux oxyde et grille



6. CMP du matériau de grille



Pas de gravure des diélectriques et matériaux de grille

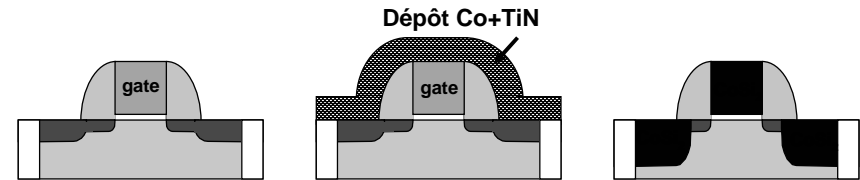
Évite les recuits haute T°



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
61

Grilles totalement siliciurées



1. Grille en Poly-Si

2. Dépôt du métal

3. Réaction de siliciuration

Mais ce procédé présente un inconvénient majeur pour une architecture bulk:

Les jonctions sont siliciurées trop profondément

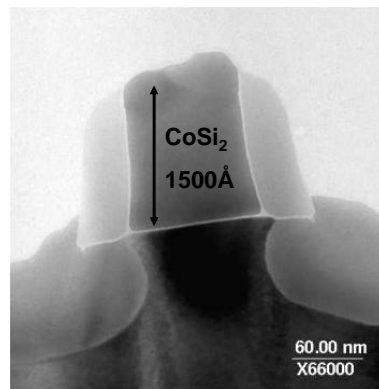
→ fuites de jonctions



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
62

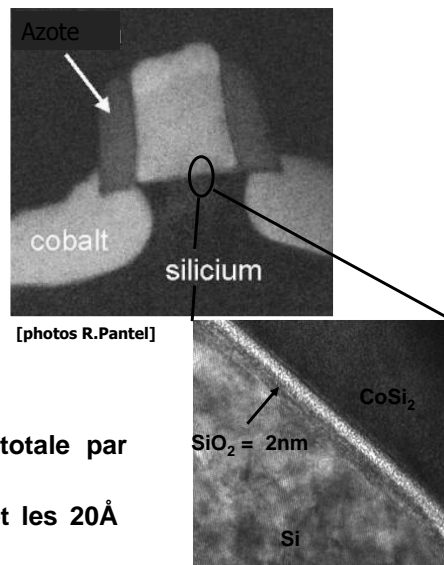
Exemple sur un transistor bulk



[B.Tavel et al. IEDM 2001]

Confirmation de la siliciuration totale par imagerie en perte d'énergie

Pas d'interaction entre le CoSi₂ et les 20Å d'oxyde de grille



[photos R.Pantel]

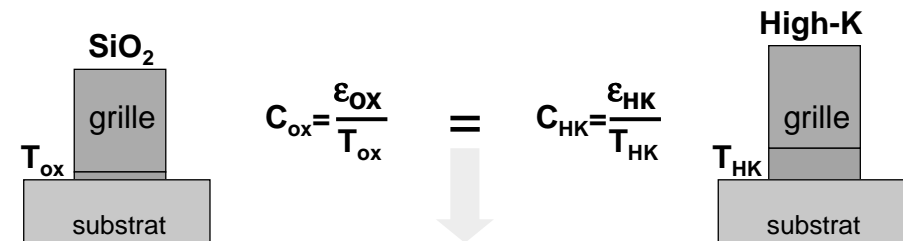


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
63

Diélectrique High-K: motivations

Pour maintenir la même capacité d'oxyde il faut



Pour la même capacité C_{ox}:

plus K (ε_{HK}) est grand, plus T_{HK} est épais

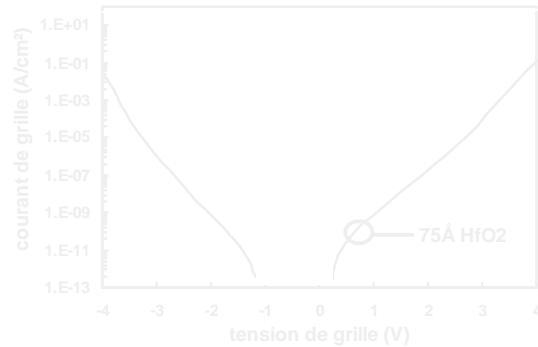


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
64

Diélectrique High-K: avantages

Modélisation de la fuite par courant tunnel: $EOT=15\text{\AA}$ [Clerc]



Pour une même C_{ox} (même EOT): $T_{HK} > T_{SiO_2}$



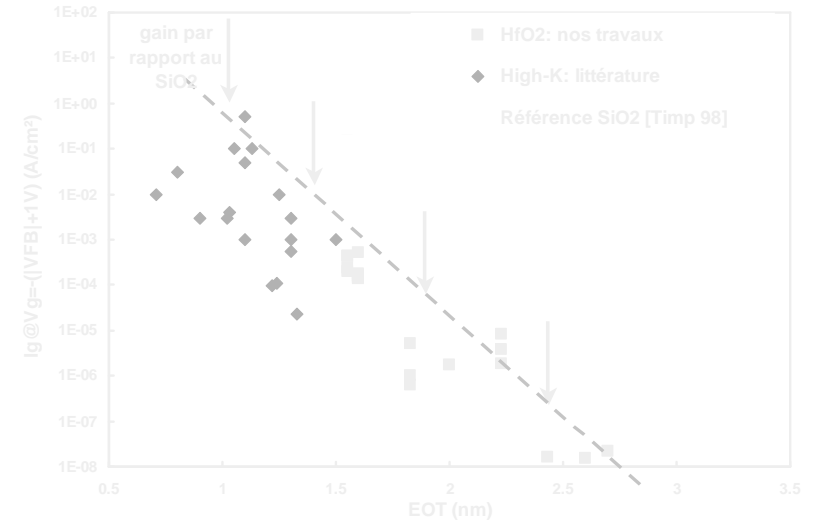
Ig diminue

(EOT = Equiv. Oxide Thickness)

Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
65

Transistor avec High-K: Réduction de la fuite de grille



A même EOT, réduction de I_g par rapport à SiO_2 (-2 décades)



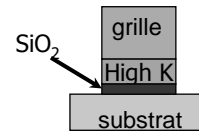
Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
66

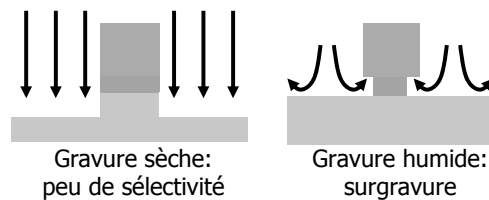
Diélectrique High-K: difficultés de mise en œuvre

Nouveaux matériaux: Difficultés de mise en oeuvre

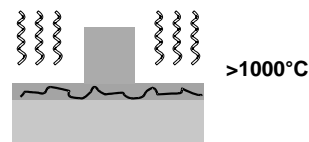
❑ Oxyde piédestal: EOT ↗



❑ Difficultés a graver:



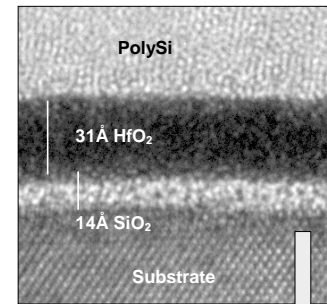
❑ Résistance traitements thermiques?



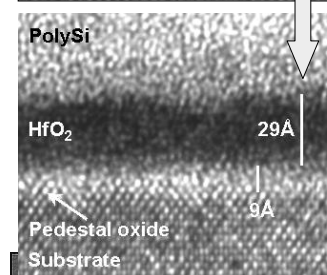
Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
67

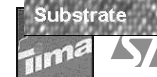
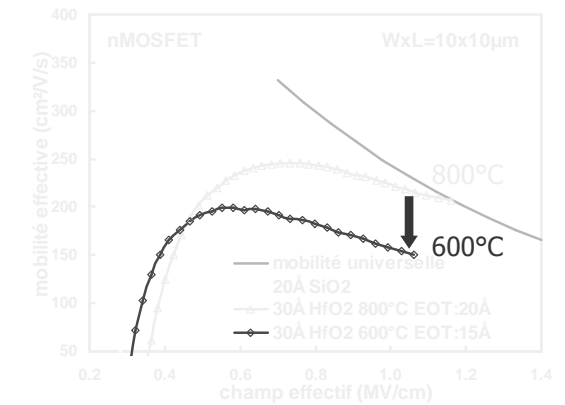
Transistor avec High-K: Difficultés d'intégration



recuit $800^\circ C$, oxyde piédestal: 14Å



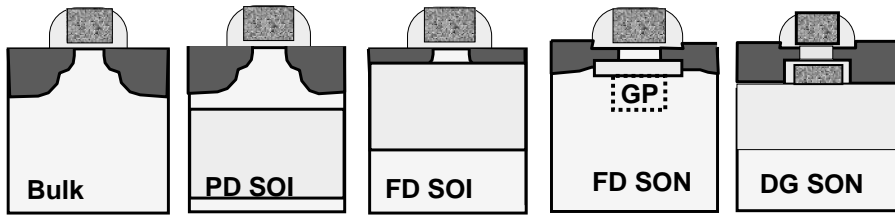
recuit $600^\circ C$, oxyde piédestal: 9Å



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
68

Les architectures de transistors



Problèmes des jonctions fines (USJ)

SCE, DIBL
Perçage volumique

Problèmes des jonctions fines (USJ)

SCE, DIBL
Perçage volumique

Auto-échauffement

Substrat flottant

Pas de problème de USJ, SCE, DIBL

Auto-échauffement

Contrôle du film de Si

Pas de problème de USJ, SCE, DIBL

Pas d'auto-échauffement

Très bon contrôle du film de Si

Effet Ground-plane!

Pas de problème de USJ, SCE, DIBL

Pas d'auto-échauffement

Très bon contrôle du film de Si

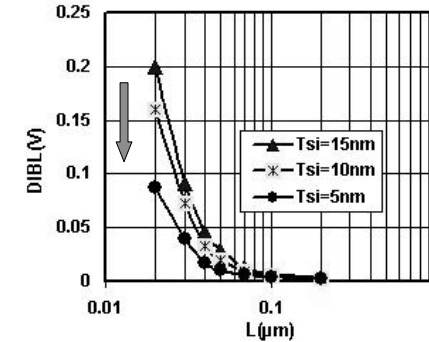
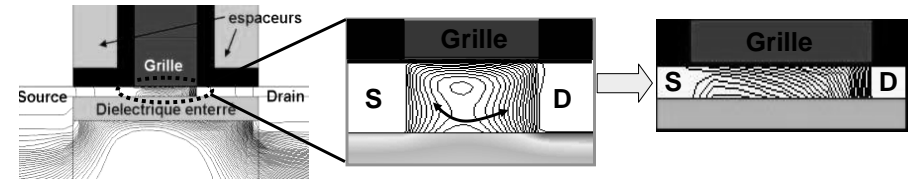
Fonctionnement double grille!



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
69

Impact de l'épaisseur du film de silicium



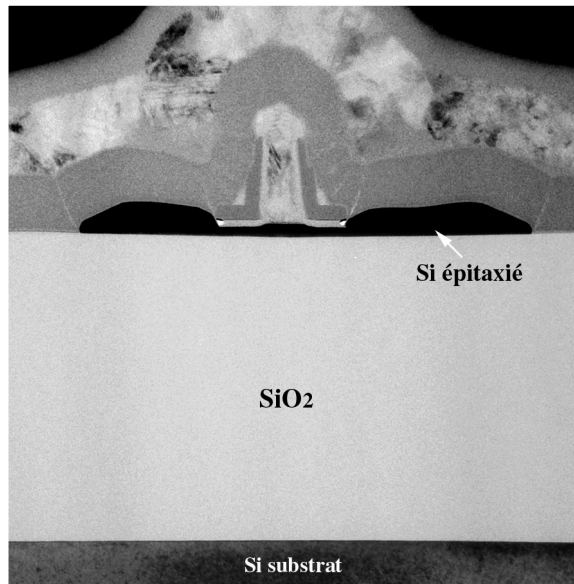
Film mince = Pas de couplage latéral → réduction du DIBL



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
70

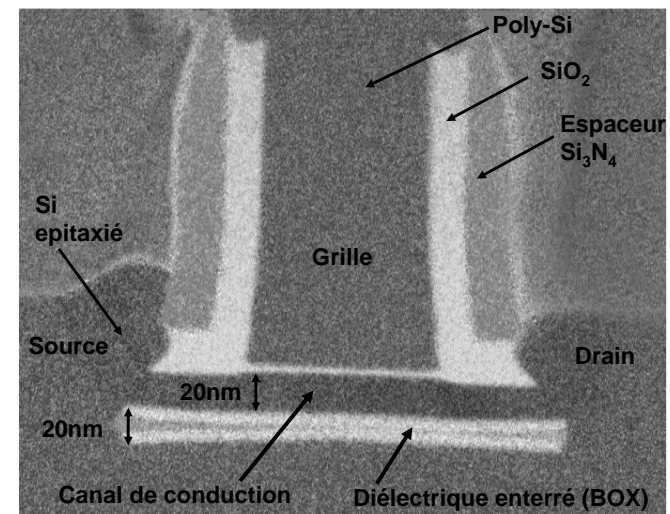
Transistors SOI totalement désertés



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
71

Le transistor SON

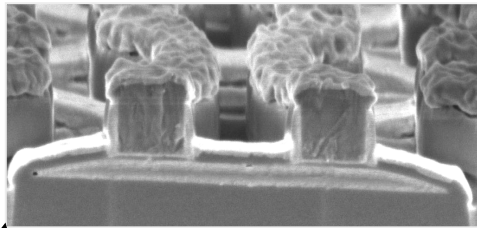


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

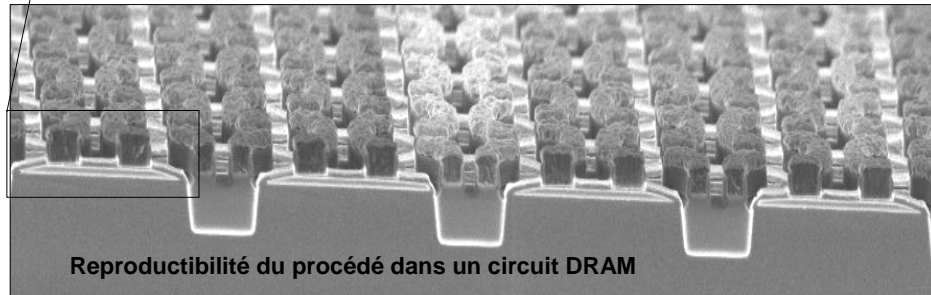
[Photo R.Pantel]

Archi05'05 – 23/03/2005
72

SON sans rupture du canal: SOI localisé



Architecture permettant une implémentation sur circuits: inverseurs, SRAM, DRAM...



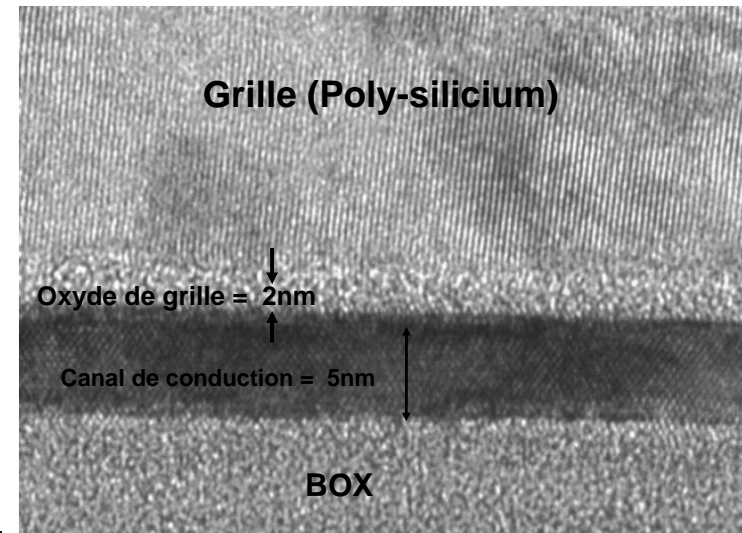
Reproductibilité du procédé dans un circuit DRAM



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
73

Des films de 5nm d'épaisseur



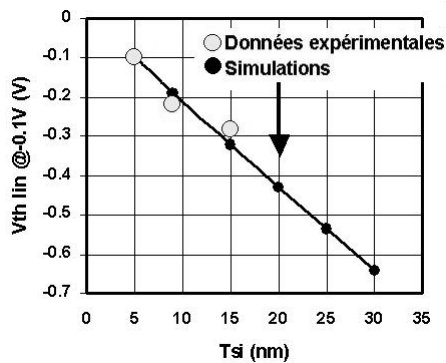
Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

[photos R.Pantel]
Archi05'05 – 23/03/2005
74

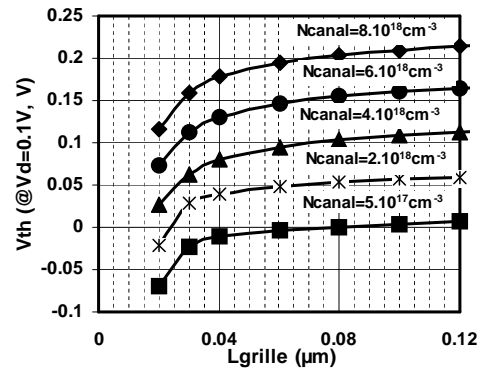
La tension de seuil des films minces:

Dans un dispositif totalement déplété, la tension de seuil est fortement dépendante de la charge de déplétion: $Q_{dep} = q \cdot N_{canal} \cdot T_{Si}$

Réduction de T_{Si} \Rightarrow meilleur contrôle des SCE mais $Q_{dep} \searrow$ donc $V_{th} \searrow$



Diminution de V_{th} avec T_{Si} (PMOS)



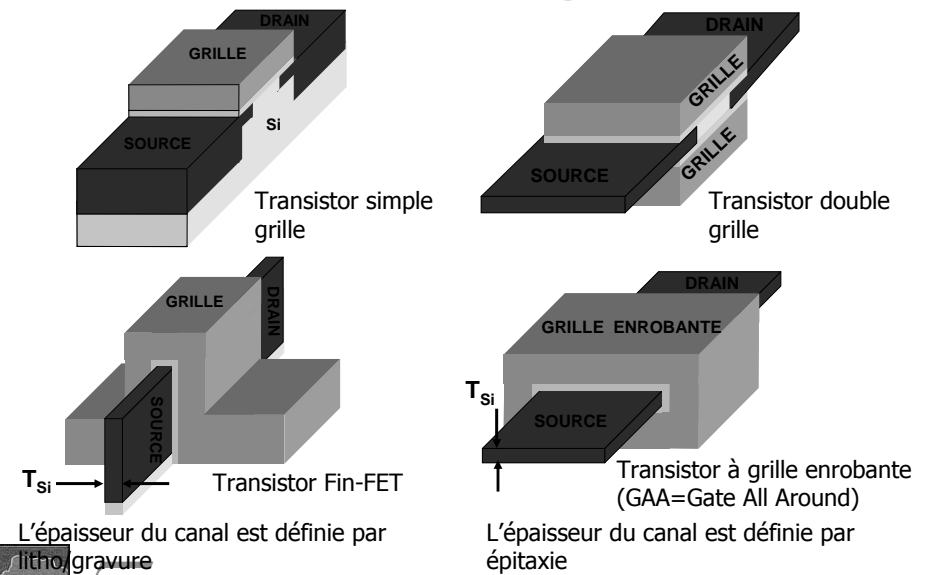
L'intégration de films minces avec une grille en Poly-Si nécessite des dopages du canal très importants



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
75

Transistors multi-grilles



L'épaisseur du canal est définie par litho, gravure

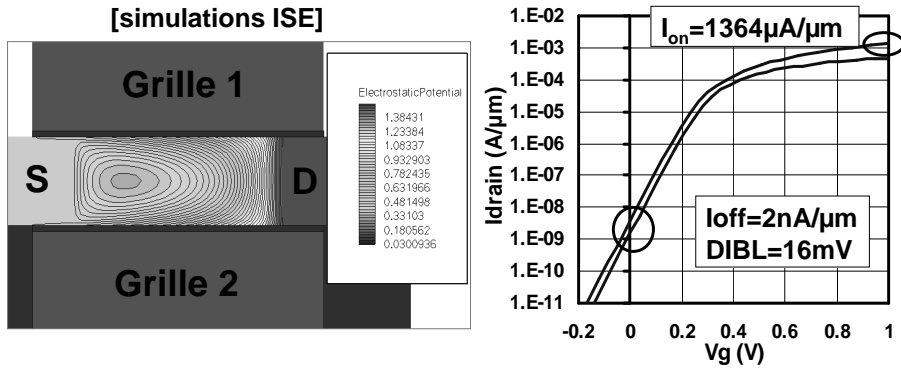
L'épaisseur du canal est définie par épitaxie



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
76

Les transistors à double grille



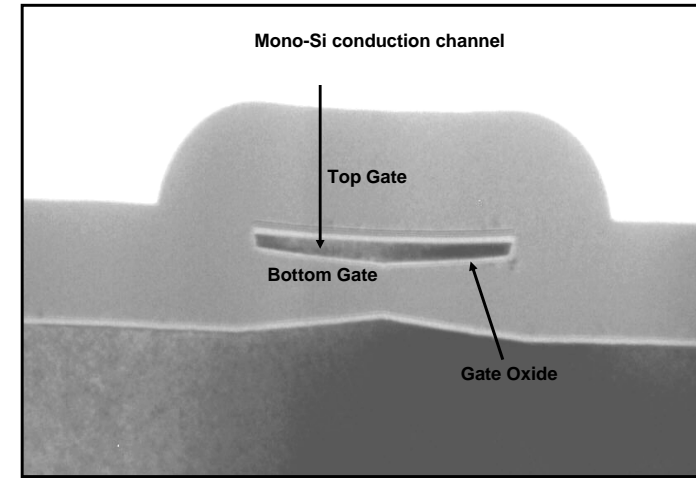
Double grille: suppression des effets parasites
Double interface de conduction: I_{on} augmente



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
77

Exemple de réalisation

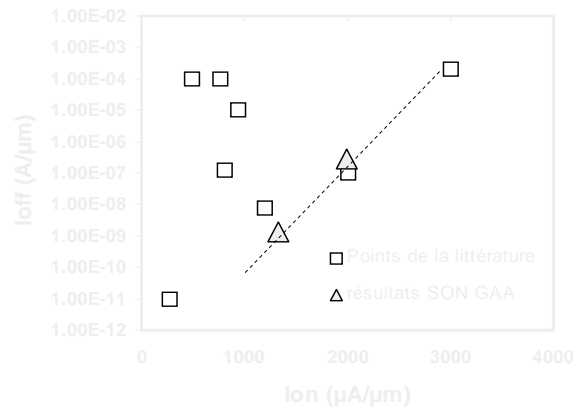
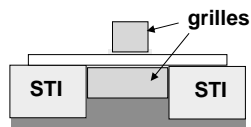


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

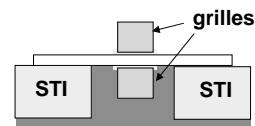
Archi05'05 – 23/03/2005
78

Transistors à grille enrobante: perspectives

1/ Optimisation
Grilles non auto-alignées



2/ Modification vers les
Grilles auto-alignées



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
79

Sommaire

- ▣ Introduction
- ▣ Le transistor MOS
- ▣ Les obstacles technologiques
- ▣ L'optimisation des modules technologiques
- ▣ Les architectures avancées
- ▣ Les Solutions Design



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
80

Conception avancée

- Plusieurs solutions pour les concepteurs pour réduire le « leakage » et la consommation dynamique

- ABB
- DVS
- SOI (pas traité ici)

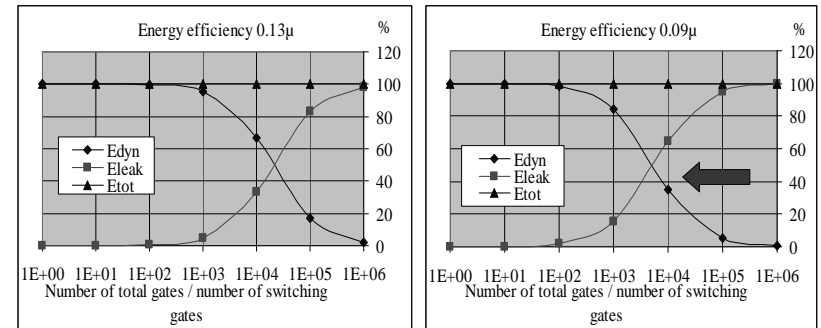


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
81

Efficacité énergétique

- Efficacité énergétique des circuits logiques avec la réduction des dimensions



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
82

Modèle Puissance dynamique

$$E_{dyn} = \alpha \cdot C \cdot V_{dd}^2 \cdot f$$

$$E_{dyn} = \alpha \left(C_{load} + C_{parasitic} \right) \cdot V_{dd}^2 \cdot f$$

α : facteur d'activité

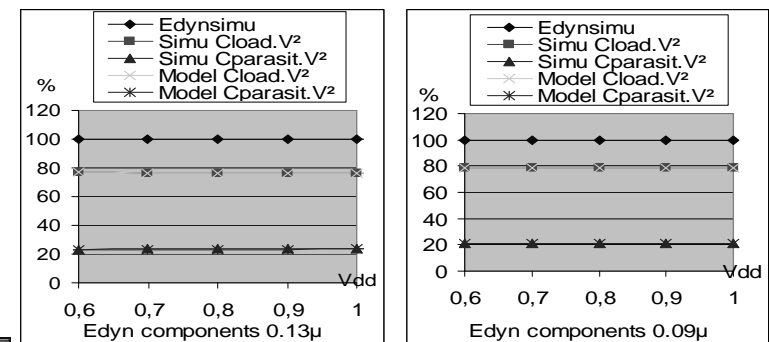


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
83

Modèle Puissance dynamique

$$E_{dyn} = \alpha C_{load} V_{dd}^2 f + \left(A1 \cdot \ln(V_{dd}) + A2 + A3 \cdot V_{bs} \right) V_{dd}^2 f$$

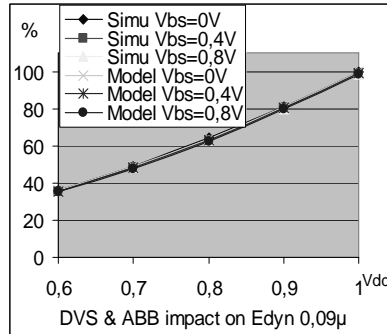
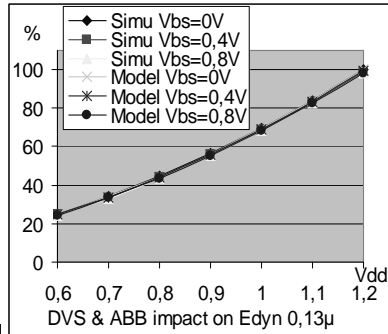


Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
84

Impact du DVS & de l'ABB sur l'énergie dynamique

- L'énergie dynamique est contrôlée par DVS
- Elle ne dépend pas pratiquement pas de l'ABB



Modèle Puissance statique

- Expression du "leakage"

$$E_{leak} = \int I_{leak} \cdot V_{dd} \cdot \Delta t_{leak}$$

- avec

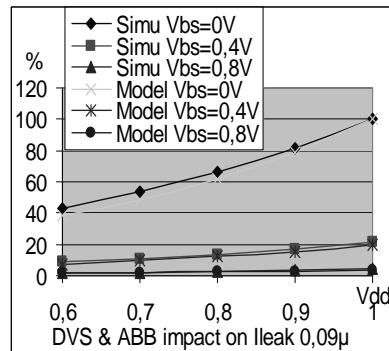
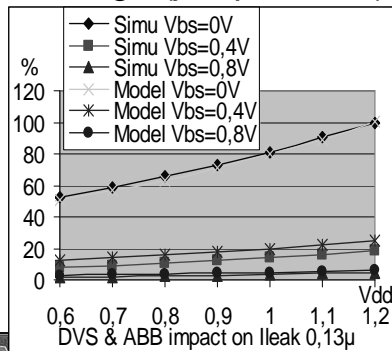
$$I_{leak} = A4 \cdot \exp(A5 \cdot V_{dd}) \cdot \exp(A6 \cdot V_{bs})$$

- Δt_{leak} : durée transistor off



Modèle Puissance statique

- Le DVS réduit le leakage (jusqu'à 50%)
- L'ABB est encore plus efficace pour réduire le leakage (jusqu'à 95%)



Impact du DVS et de l'ABB sur le timing

- Modèle simplifié du timing d'un inverseur

$$t_{inv} = \frac{K}{(V_{dd} - V_{th})^\alpha}$$

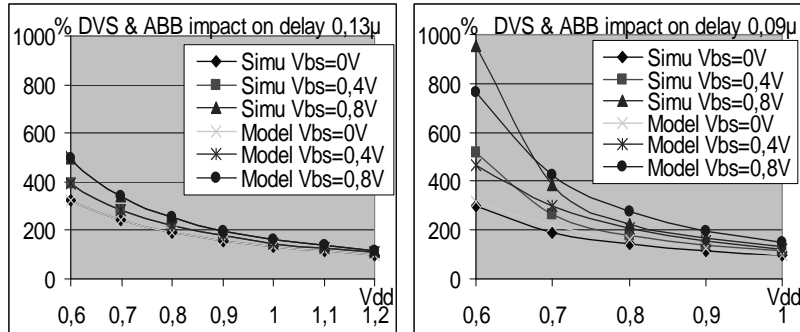
$$V_{th} = V_{th0} - K1 \cdot V_{dd} - K2 \cdot V_{bs}$$

$$t_{inv} = \frac{K}{(V_{dd} - V_{th0} - K1 \cdot V_{dd} - K2 \cdot V_{bs})^\alpha}$$



Impact du DVS et de l'ABB sur le timing

- Dégradation des performances temporelles avec Vdd
- Le temps augmente aussi avec la tension du bulk



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
89

Conclusion (I)

- Le transistor de petites dimensions induit des phénomènes physiques
 - SCE
 - DIBL
- La conception d'un transistor cherche à optimiser I_{on} et I_{off} qui sont deux paramètres antagonistes



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
90

Conclusion (II)

- Le leakage dépend de SCE et de DIBL mais également des courants de fuite des grilles
- Le leakage est un phénomène inévitable que l'on peut combattre :
 - Par le design
 - Par la technologie



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
91

L'avenir ...

- Probablement des architectures de transistors avancées... mais industrialisables !!!
- Exploiter les solutions Design depuis les niveaux de conception les plus abstraits !



Laurent Fesquet, Stéphane Monfray,
Jean-Pierre Carrère

Archi05'05 – 23/03/2005
92