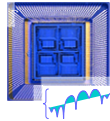


# Prise en compte des interconnexions lors de la conception architecturale

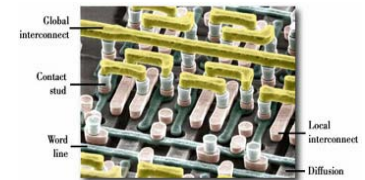
**Olivier Sentieys**  
 IRISA/ENSSAT Lannion  
 Université de Rennes I  
[sentieys@irisa.fr](mailto:sentieys@irisa.fr)  
<http://www.irisa.fr/R2D2>



Merci à Jean-Marc Philippe pour son support

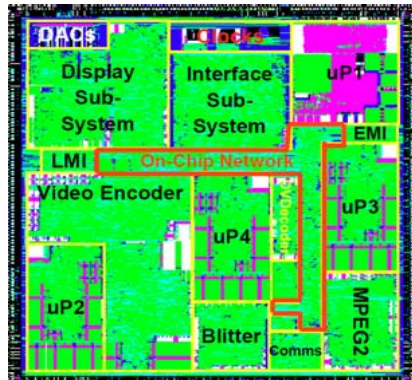
## Plan

- Introduction : évolutions technologiques
  - En vous épargnant la loi de Moore ?
  - Obstacles aux évolutions technologiques
  - Influence des interconnexions
- Aspects physiques des interconnexions intégrées
- Modèles de bruits
- Prise en compte des interconnexions
- Conclusion



## Systemes sur puces

- System-on-Chip SoC
- Network-on-Chip NoC
  - A NoC Motivating example : STm8000 recordable dvd chip
- Problèmes liés aux interconnexions (fils)
  - Influence sur performances et énergie



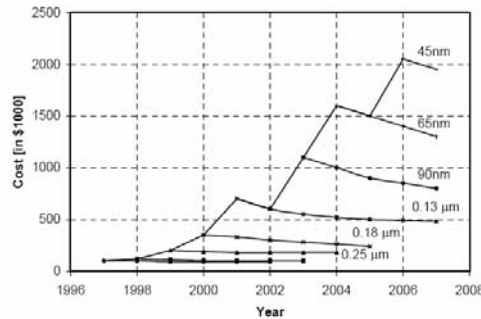
## Évolutions technologiques

- Int. Technological Roadmap for Semiconductors

Année d'introduction	1997	1999	2001	2003	2005	2007	2010
Technologie (um)	0,25	0,18	0,15	0,13	0,1	0,07	0,05
Fréquence (MHz)	750	1250	1500	2100	3500	6000	10000
Mémoire	64M	256M	1G	4G	16G	64G	256G
Nombre de transistors	11M	21M	38M	77M	202M	520M	1350M
Coût par MTr (Cent.)	500	290	166	97	42	18	8
Surface (mm <sup>2</sup> ) uP	300	340	385	430	520	620	750
Puissance (W)	70	90	110	130	160	170	175
Tension Vdd (V)	1,8-2,5	1,5-1,8	1,2-1,5	1,2-1,5	0,9-1,2	0,6-0,9	0,5-0,6

## Principaux obstacles (1)

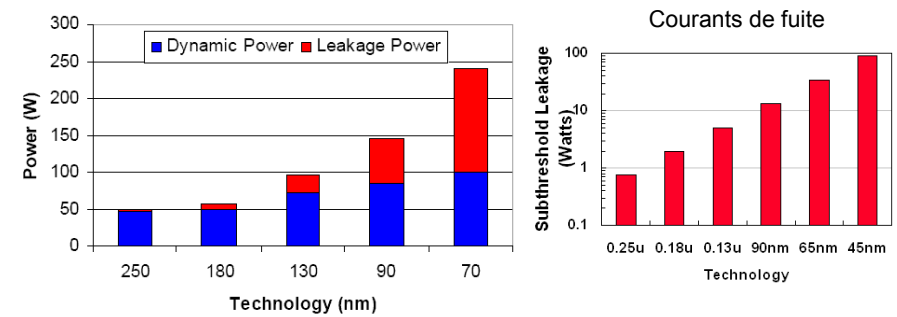
- Coût des circuits augmente
  - Lithographie
  - Jeu de masques en technologie 90nm : >\$1M
  - Flexibilité



- Micro-miroirs ?
- Gate-array are back ?

## Principaux obstacles (2)

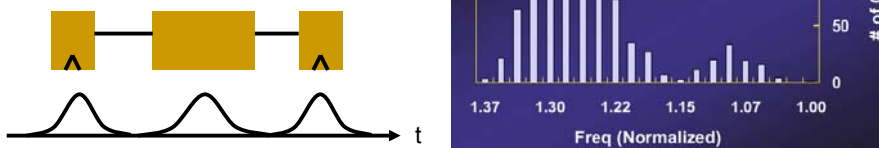
- Puissance et énergie
  - Dynamique et statique



[Source: INTEL]

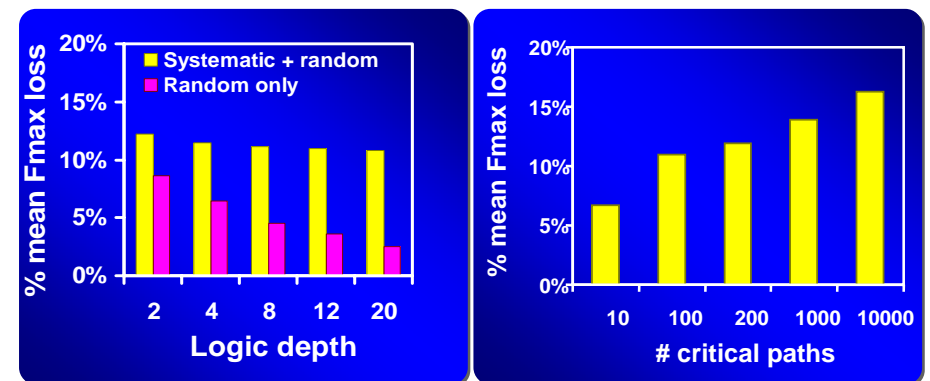
## Principaux obstacles (3)

- Variations (*uncertainty*)
  - Variabilité du processus de fabrication
    - Inter et intra puce
  - Incertitudes importantes sur les paramètres
    - Temps de propagation
    - Courant de fuite, ...
  - Synchrones ?



[Source: INTEL]

## Impact sur la Microarchitecture



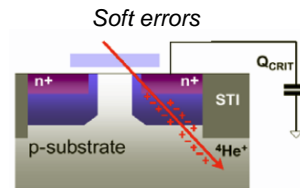
- Deeper pipelining worsens random variation impact
- Total variation impact insensitive to pipeline depth
- Variations worsen with increasing critical paths

[Vivek De, Intel, DAC04]

## Principaux obstacles (4)

### ■ Erreurs

- Soft errors
- Test en ligne
- Architectures tolérantes aux erreurs

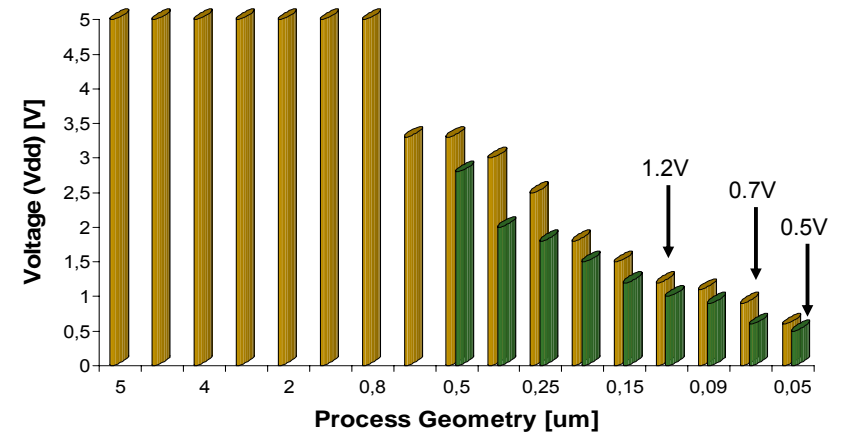


### ■ Bruits

- Bruits d'alimentation et de substrat
- Vdd scaling
  - Low-swing signaling
  - Rapport signal à bruit diminue

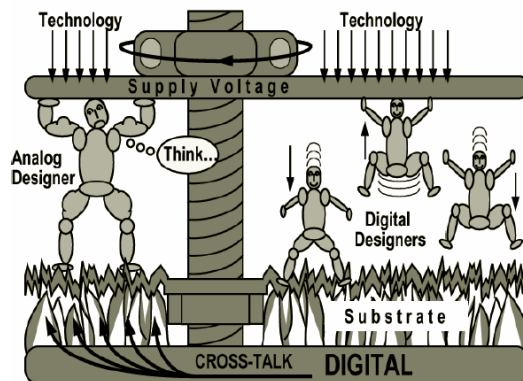
## Baisse de la tension d'alimentation

### ■ Evolution de Vdd



## Baisse de la tension d'alimentation

### ■ Bruit et commutations!



© R. Rutenbar, CMU]

## Principaux obstacles (5)

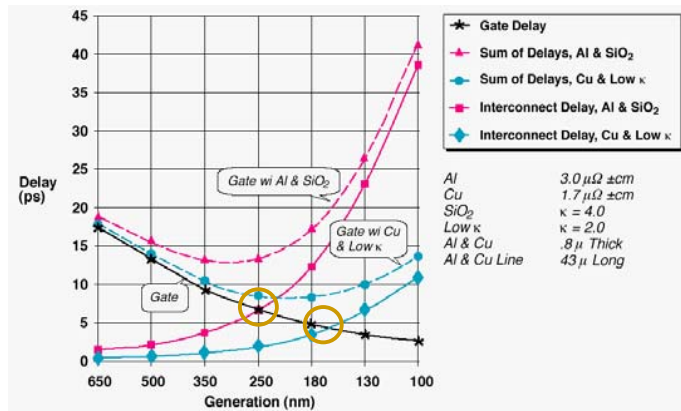
### ■ Interconnexions (*last but not least!*)

- Délais dus aux interconnexions 50% (CI) à 90% (FPGA)
- Puissance induite ( $C_{fils}$ ) et dissipée ( $R_{fils}$ )
- Coût supplémentaire dû aux masques
  - 8-12 pour les transistors, 18-24 pour les interconnexions
- 90nm
  - Temps de commutation intrinsèque d'un MOSFET : 5ps
  - Temps de réponse RC d'un fil de 1mm : 30ps
  - Energie due aux interconnexions ~x5 celle due aux transistors
- 35nm
  - 1-à-100 pour le délai et 1-à-30 pour l'énergie

[Meindl, ISPD04]

# Interconnexions

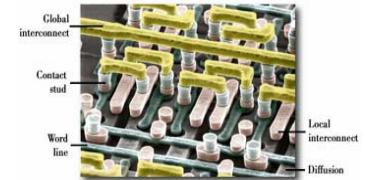
## ■ Délai portes et interconnexions



[ITRS2002]

# Plan

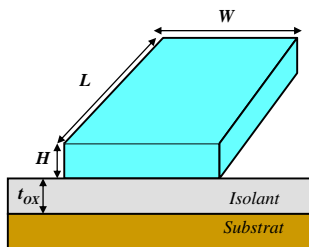
- Introduction : évolutions technologiques
- Aspects physiques des interconnexions intégrées
  - Modèles : R, C, longueur, délai, cross-talk
  - Optimisation : longueur, délai, niveaux de métal
- Modèles de bruits
- Prise en compte des interconnexions
- Conclusion



# Modèles des interconnexions intégrées

## ■ Résistance

$$R = \rho \frac{L}{H.W} = r.L$$

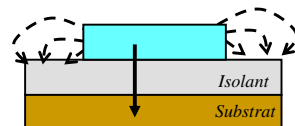


## ■ Capacités

$$C = C_{substrate} + C_{fringing}$$

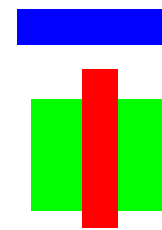
$$C_{substrate} = \frac{\epsilon_{ox}}{t_{ox}} W.L = C_{ox}.W.L$$

$$C_{fringing} \approx \frac{\epsilon_{ox}}{\log(1 + H^{-1}t_{ox})} L = C_{Mi}.L$$

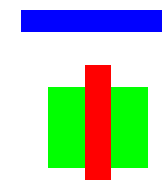


# Évolutions technologiques

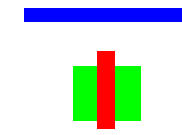
- *Scaling* technologique à chaque génération
  - Scaling factor : *s*
  - Entre deux générations successives : *s* # 0.7



130 nm



90 nm



65 nm

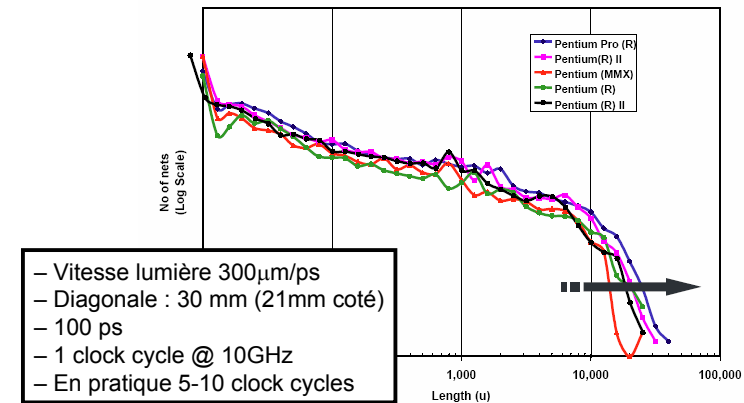
## Évolutions technologiques

### ■ Scaling

W, L, H, tox (gate, interconnect)	$s$
Transistor area (W.L)	$s^2$
Capacitance per unit area: Cox	$1/s$
C=WLCox	$s$
R= $\rho L/WH$	$1/s$
Gate Delay	$s$
Local Wire Delay (RC)	$1$
Constant Length (L) Wire Delay	$1/s^2$

## Longueurs des interconnexions

### ■ Longueurs moyennes



[Source: INTEL]

## Longueurs des interconnexions

### ■ Variations des paramètres (nm)

Technologie		0.18	0.13	0.10	0.07	0.05
Fil global	Distance	1050	765	560	390	275
	Hauteur	1050	880	670	480	350
Fil semi-global	Distance	640	465	340	240	165
	Hauteur	640	512	408	300	223
Fil local	Distance	500	375	265	180	130
	Hauteur	350	275	225	170	135

## Longueurs des interconnexions

### ■ Interconnection Scaling

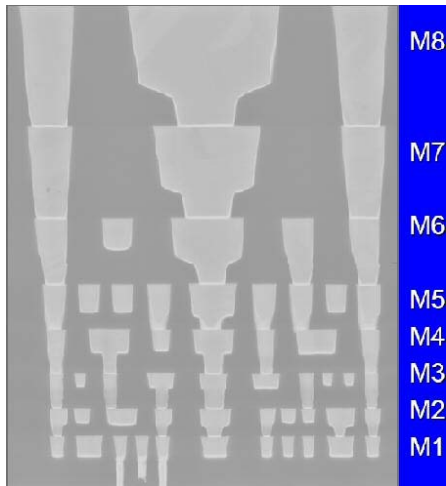
Paramètres	Relation	Local Wire	Constant Length	Global Wire
W, H, tox		$s$	$s$	$s$
L (wire)		$s$	$1$	$s_c$
C	$LW/tox$	$s$	$1$	$s_c$
R	$L/WH$	$1/s$	$1/s^2$	$s_c/s^2$
RC	$L^2/Htox$	$1$	$1/s^2$	$s_c^2/s^2$

S : scaling

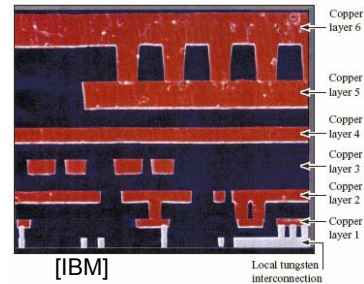
$S_c$  : chip area scaling

[Rabaey04]

## Réduction des délais



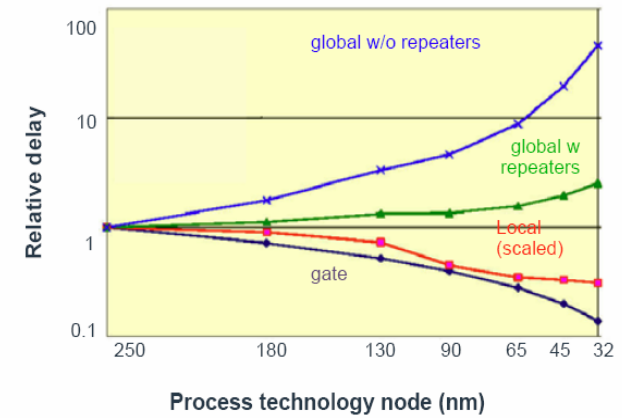
- Réduire les délais
  - H des couches hautes
  - Cuivre
  - Répéteurs



Metal layers to reduce wire delay in Intel's 65 nm CPUs

## Réduction des délais

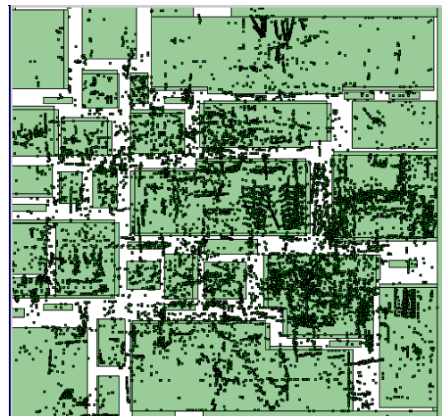
ITRS Roadmap: Delay Evolution



[Source: ITRS]

## Réduction des délais

- Optimisation des connexions globales

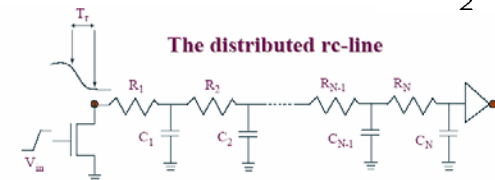


Repeaters on the Itanium Die

[Source: INTEL]

## Modèles de délai

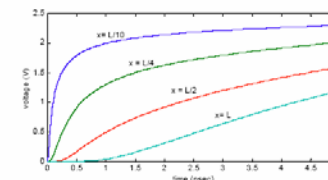
- Modèle RC simple (*lumped model*)  $\tau_L = RC$
- Modèle RC distribué  $\tau_D \approx \frac{RC}{2} = \frac{rcL^2}{2}$



$$\tau_D = \sum_{i=1}^N C_i \sum_{j=1}^N R_j$$

Diffused signal propagation

Delay  $\sim L^2$

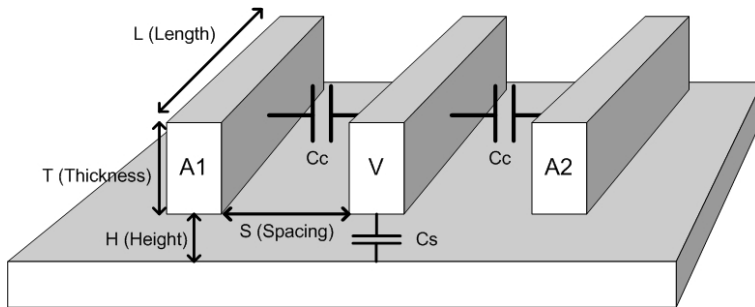


[Rabaey2002]



## Crosstalk

- Couplage capacitif entre fils adjacents
- Fil victime V et deux agresseurs A1 et A2



$$C_c \propto LT/S$$

$$C_s \propto LW/H$$

## Crosstalk

- Influence du *crosstalk* de plus en plus importante
  - Augmentation de la capacité de couplage liée à l'augmentation du rapport (aspect ratio) entre H et W
  - Rapprochement des fils pour diminuer la surface globale
- Problèmes induits par le *crosstalk*
  - Bruit : une transition sur les agresseurs influence la victime
    - Création de bruit (*spike*) parasite qui peut provoquer des transitions non souhaitées de la victime et donc des erreurs
  - Délai : introduction d'un facteur de délai dû au couplage et aux transitions
  - Consommation : augmentation de la capacité effective du fil victime

## Crosstalk : temps de propagation

- Capacité effective induite (effet Miller)

$$T_p = (g.C_s)R, \quad r_{cs} = \frac{C_c}{C_s} = \frac{L.c_c}{L.c_s} = \frac{c_c}{c_s}$$

$C_{eff}$	Transitions				$g$
$C_s$	(↑,↑,↑)	(↓,↓,↓)			1
$C_s+C_c$	(-,↑,↑)	(-,↓,↓)	(↓,↓,-)	(↓,↓,-)	$1+r_{cs}$
$C_s+2.C_c$	(-,↑,-)	(-,↓,-)	(↓,↑,↑)	(↓,↓,↑)	$1+2r_{cs}$
$C_s+3.C_c$	(-,↑,↓)	(-,↓,↑)	(↑,↓,-)	(↓,↑,-)	$1+3r_{cs}$
$C_s+4.C_c$	(↓,↑,↓)	(↑,↓,↑)			$1+4r_{cs}$

Remarque :  $c_c \sim c_s$  mais  $r_{cs} \sim 5$  en 90nm [Khatri01]

## Plan

- Introduction : évolutions technologiques
- Aspects physiques des interconnexions intégrées
- Modèles de bruits
  - Sources de bruits
  - Modèles de bruits et d'erreurs
  - *Soft errors*, EM
- Prise en compte des interconnexions
- Conclusion

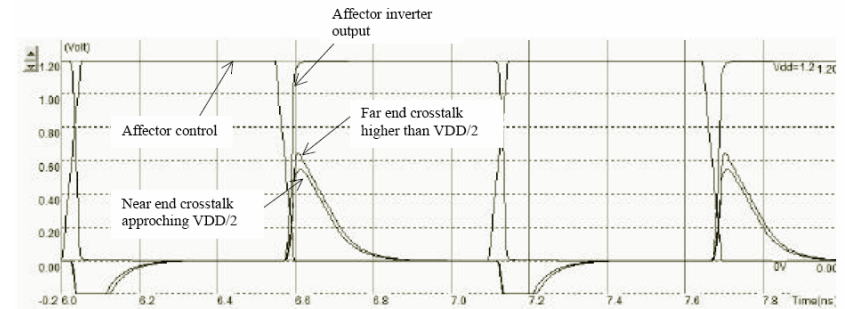


## Sources de bruits dans un SoC

- Crosstalk
- IR Drop
- Electromigration
- $Ldi/dt$  Drop
  
- Baisse de Vdd diminue le SNR
  
- + les *soft-errors* et autres *électromigrations*

## Bruit de *crosstalk*

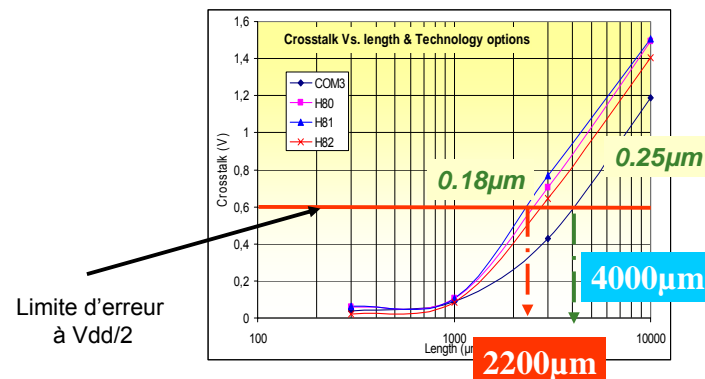
- Signal induit par le phénomène de *crosstalk* sur le fil agressé



[Sicard2003, Microwind]

## Bruit de *crosstalk*

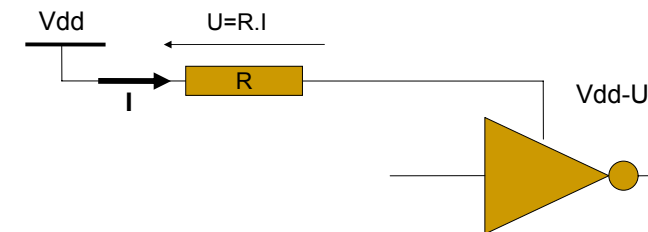
- Signal induit par le phénomène de *crosstalk* sur le fil agressé



[Sicard2003]

## IR Drop

- Résistance non négligeable des fils d'alimentation
- Courant important induit donc une altération du signal (bruit d'alimentation)

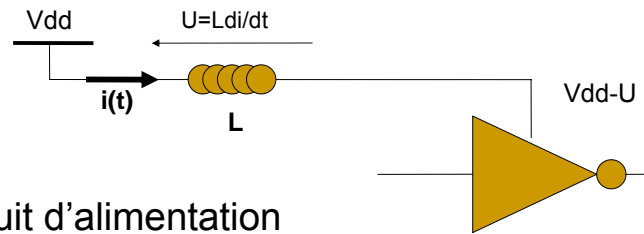


- Effet maximum avec un pic d'intensité (commutation des horloges)



## Ldi/dt Drop

- Inductance non négligeable des fils
  - Dépend des variations de courant lors des transitions
  - Phénomène de + en + important (Fclk↑)

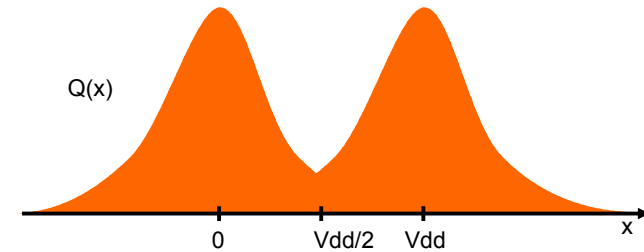


- Bruit d'alimentation

## Modèle de bruit

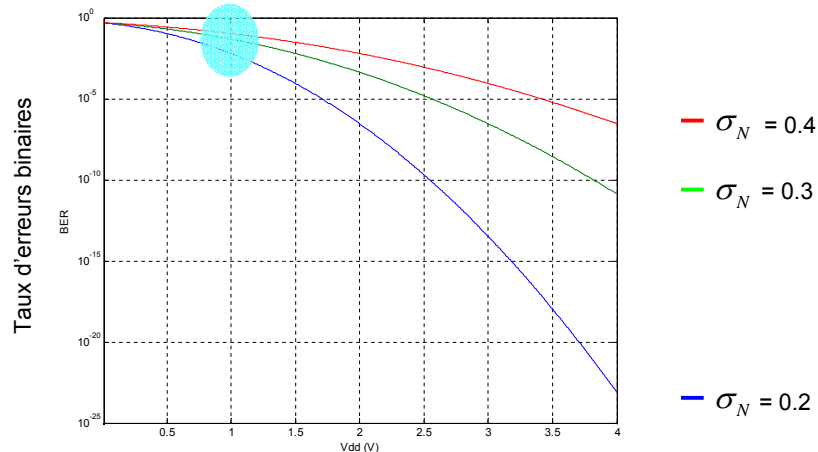
- Modélisation du bruit par une gaussienne ( $0, \sigma_N$ )
  - Probabilité  $\varepsilon$  d'avoir une erreur sur un fil bruité par  $V_N(0, \sigma_N)$  alimenté par Vdd

$$\varepsilon = Q\left(\frac{V_{dd}}{2\sigma_N}\right) \quad \text{avec} \quad Q(x) = \int_x^{\infty} \frac{1}{\sqrt{2\pi}} e^{-\frac{y^2}{2}} dy$$



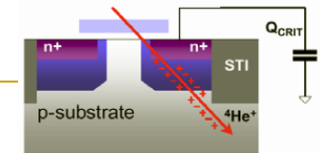
[Hedge00]

## Probabilité d'erreur



## Erreurs

- **Soft errors**
  - Injection de charges dans le circuit
    - Le circuit est traversé par des particules chargées (rayonnement cosmique, particules alpha, ions)
    - Dépend de l'environnement (e.g. altitude, latitude) et de C.V
  - Influence importante sur les RAMs notamment
- **Electromigration**
  - Un courant assez fort pendant une durée importante dans un fil peut provoquer le déplacement d'ions métalliques
    - Peut engendrer une coupure du fil et des court-circuits
  - Dépend de la température, du matériau utilisé et du courant moyen



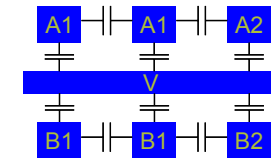
## Plan

- Introduction : évolutions technologiques
- Aspects physiques des interconnexions
- Modèles de bruits
- Prise en compte des interconnexions
  - Combattre le *crosstalk*
  - Combattre le bruit des interconnexions
    - CDMA, détection et correction des erreurs
- Conclusion



## Combattre le *crosstalk* (1)

- Objectifs : diminuer le couplage capacitif
- Solutions statiques
  - Jouer sur les dimensions
    - Compromis espacement, hauteur, surface totale
  - Isoler les fils sensibles (*low-swing signaling*) des fils agresseurs (*full-swing*)
  - Blindage (*shielding*) Masse (G) ou Vdd (V)



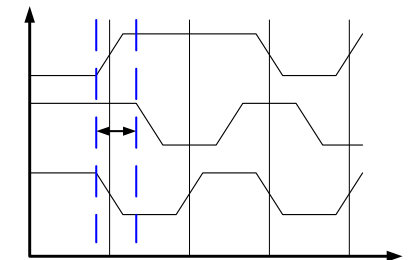
- Duplication des fils

## Combattre le *crosstalk* (2)

- *Dense Wire Fabric* : ...VSGSVS...
- Solution par transcodage
  - Codage pour éviter les transitions au pire cas
  - Dynamique, dépend des données
  - Codage spatial
  - Codage temporel

## *Signal skewing*

- Retarder la transition de certaines lignes du bus pour éviter les transitions simultanées
  - Bus construit par alternance de signaux normaux et de signaux retardés
  - Stabilisation des signaux du bus plus rapide
- Gestion délicate



## Nombre variable de cycles

- Classement des transitions selon 6 catégories en fonction de la capacité exhibée

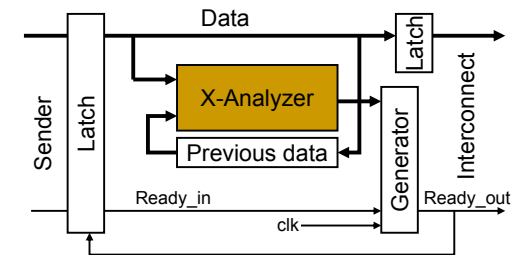
Ceff	Transitions				Groupe
0	(X, -, X)				1
Cs	(↑, ↑, ↑)	(↓, ↓, ↓)			2
Cs+Cc	(-, ↑, ↑)	(-, ↓, ↓)	(↓, ↓, -)	(↓, ↓, -)	3
Cs+2.Cc	(-, ↑, -)	(-, ↓, -)	(↓, ↓, ↑)	(↓, ↓, ↑)	4
Cs+3.Cc	(-, ↑, ↓)	(-, ↓, ↑)	(↑, ↓, -)	(↓, ↑, -)	5
Cs+4.Cc	(↓, ↑, ↓)	(↑, ↓, ↑)			6

[Li04]

## Nombre variable de cycles

- Classement des transitions selon 6 catégories : *X-analyzer*
- Adaptation du nombre de cycles requis pour la transmission

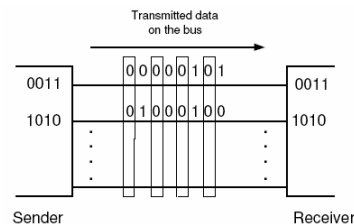
- Groupe 1-3
  - 1 cycle
- Groupes 4, 5, 6
  - 2, 3, 4 cycles
- Gain jusqu'à 30%



[Li04]

## Codage

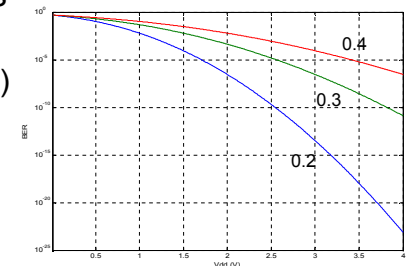
- Codage spatial [Duan01][Victor01]
  - N bits → N+M bits
  - Enlever les transitions des groupes 4 à 6
  - Augmentation de la surface (60-200%)
- Codage temporel [Philippe05]
  - Orienté paquets de données



- Surface ~ constante
- Bande passante : +12% à +35%
- Energie : 0% à -13%
- Utilisation possible de la redondance

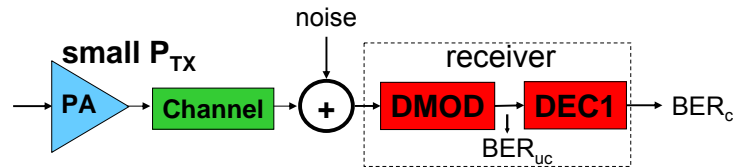
## Combattre les erreurs de Tx/Rx

- Codes correcteurs d'erreurs (ECC)
  - Exemple : Hamming (38,32)
    - Conception simple
    - 6 bits redondants
    - Corrige toutes les erreurs sur un seul bit
    - Détecte toutes les erreurs sur deux bits
  - Lien à 100 Mbit/s avec BER=10<sup>-8</sup> (1 err/s)
    - Améliore BER=10<sup>-15</sup> (5 err/an) avec un coût limité
    - Améliore non-détection à 3.10<sup>-17</sup> (1 err/10 ans)



## Canal de communication

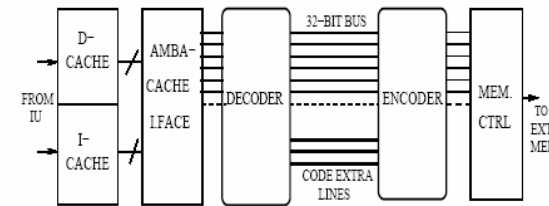
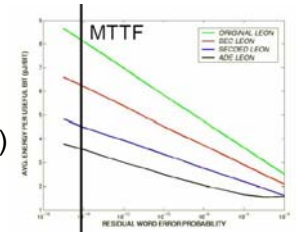
- NoC vu comme un « canal bruité »
  - Théorie de l'information
  - Détection des erreurs : retransmission
  - Codes correcteurs d'erreurs
  - Modulation/Démodulation
  - Techniques avancées ? e.g. CDMA, égalisation



[Shanbhag04]

## Codes correcteurs d'erreurs

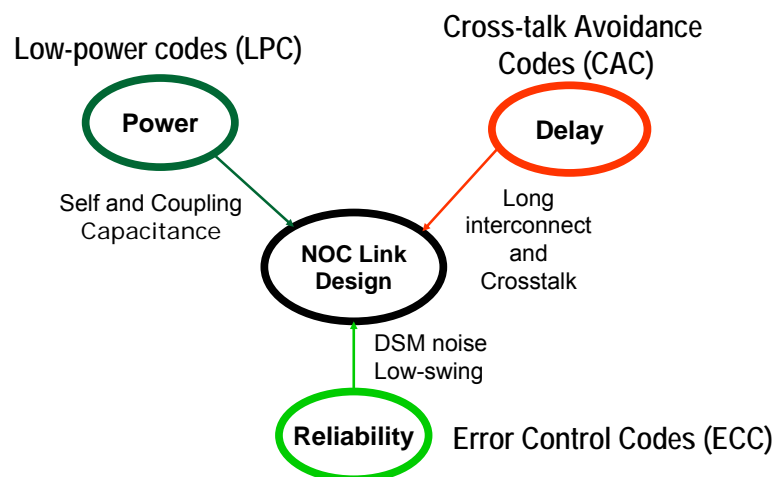
- Bus Amba cache → mémoire
  - Single Parity Bit (PAR)
  - Error Detection (ED)
  - Single Error Correction (SEC) : H(38,32)
  - SEC-Double Error Detection (DED)
  - Gestion des retransmissions



- Optimiser l'énergie par bit utile
  - Gains jusqu'à 2
- Détection meilleure que corrections (!)

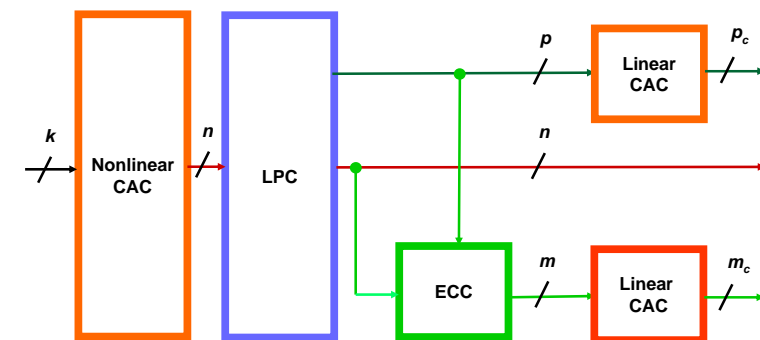
[Bertozzi02]

## Conception de liens optimisés



[Shanbhag04]

## Schéma de codage unifié



- CAC: non-linear & linear; LPC: non-linear; ECC: linear
- Framework: Non-linear outer codes. Linear inner codes.
- New practical joint codes: LPC-ECC, CAC-ECC, LPC-CAC-ECC
- Energy Savings: 31%; Speed-up = 1.87X;

[Sridhara & Shanbhag DAC 04]

## Interconnexion CDMA

### ■ Partage du médium par l'utilisation de codes PN ou orthogonaux

- Tolérance au bruit
- Réduction de Vdd
- Redondance
- Étalement de spectre
- Utilisateur = code
- Broadcast
  
- Niveaux multiples

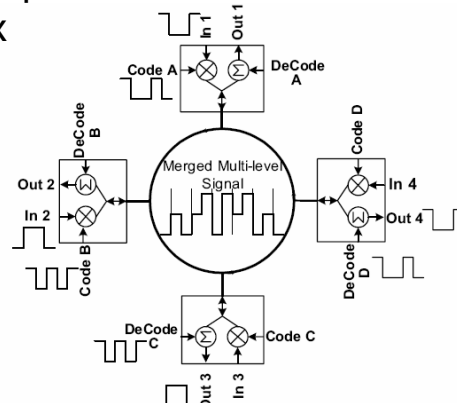


Figure 4.7.1: A 4-port system implemented by the CDMA interconnect transceiver.

[Xu03] [Philippe05b]

## Conclusions

### ■ Interconnexions dans les technologies récentes

- Dominant performances et énergie
  - Apparition d'erreurs sur les liens liées au bruit et à la réduction de Vdd
- ### ■ Interconnexions vues comme un « canal de communication bruité »
- Techniques issues de la théorie de l'information
  - Canal peu connu en pratique
- ### ■ Erreurs et dispersion des paramètres

## Challenges

### ■ NoC : approche par modèle de réseau en couche

- Gestion performances/énergie/robustesse

### ■ Challenges algorithmiques et architecturaux

- Caractérisation du canal, modèle bruit/erreur
- Codages adaptés, tolérances aux erreurs
- Architectures tolérantes aux bruits/erreurs

### ■ Challenges circuits et physiques

- Modèles physiques adaptés aux technologies récentes
- Techniques de circuits tolérantes aux bruits/erreurs
- Conception d'interconnexions efficaces (couche physique)
- Conception statistique

### ■ Modulation, RF, optique ?

## Bibliographie

### Modèles

- [Hedge00] Rajamohana Hegde, Naresh R. Shanbhag, Toward achieving energy efficiency in presence of deep submicron noise, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Volume 8, Issue 4 (August 2000) pp. 379 - 391.
- [Meindl03] James D. Meindl, Interconnect Opportunities for Gigascale Integration, IEEE Micro 23(3): 28-35 (2003).
- [Theis00] T.N. Theis, The future of interconnect technology, IBM J. Res. Develop., vol. 44, No 3, May 2003. <http://www.research.ibm.com/journal/rd/443/theis.pdf>
- [Horowitz99] M. Horowitz and R. Ho and K. Mai, The Future of Wires, In Invited Workshop Paper for SRC Conference. Available at <http://velox.stanford.edu/>, May 1999.

### Erreurs

- [Shanbhag04] Naresh R. Shanbhag, Reliable and Efficient System-on-Chip Design, IEEE Computer, March 2004 (Vol. 37, No. 3), pp. 42-50.
- [Bertozzi02] D. Bertozzi, L. Benini, G. De Micheli, Low power error resilient encoding for on-chip data buses, IEEE/ACM Design, Automation and Test in Europe Conference and Exhibition, DATE 2002, 4-8 March 2002, pp. 102 - 109.
- [Li03] L. Li, N. Vijaykrishnan, M. Kandemir, M. J. Irwin, Adaptive Error Protection for Energy Efficiency, Proceedings of the IEEE/ACM International Conference on Computer Aided Design (ICCAD-2003), San Jose, CA, November 2003, pp. 2-7.

## Bibliographie

### Crosstalk

- [Khatri00] S. P. Khatri, R. K. Brayton, and A. L. Sangiovanni-Vincentelli, Cross-Talk Noise Immune VLSI Design using Regular Layout Fabrics. Kluwer Academic Publishers, 2001.
- [Hirose00] K. Hirose and H. Yasuura, "A Bus Delay Reduction Technique Considering Crosstalk," in DATE '00: Proceedings of the conference on Design, automation and test in Europe. IEEE Computer Society, 2000, p. 441.
- [Victor01] B. Victor and K. Keutzer, Bus Encoding to Prevent Crosstalk Delay, in ICCAD'01: Proceedings of the International Conference on Computer-Aided Design (ICCAD '01). IEEE Computer Society, 2001, p. 57.
- [Duan01] C. Duan and A. Tirumala, Analysis and Avoidance of Cross-Talk in On-Chip Buses, in HOTI '01: Proceedings of the The Ninth Symposium on High Performance Interconnects. IEEE Computer Society, 2001, p. 133.
- [Li04] L. Li, N. Vijaykrishnan, M. Kandemir, and M. J. Irwin, A Crosstalk Aware Interconnect with Variable Cycle Transmission, in DATE '04: Proceedings of the conference on Design, automation and test in Europe. IEEE Computer Society, 2004.
- [Philippe05] JM. Philippe, S. Pillement, O. Sentieys, Temporal Coding Schemes for Reducing Crosstalk Effects, IEEE newCAS, 2005 (submitted)

### CDMA

- [Xu03] Z. Xu et al., A 2.7 Gb/s CDMA-Interconnect Transceiver Chip Set with Multi-Level Signal Data Recovery for Re-configurable VLSI Systems, IEEE ISSCC 2003.
- [Philippe05b] JM. Philippe, S. Pillement, O. Sentieys, A Low-Power and High-speed Quaternary Interconnection link using Efficient Converters, IEEE International Symposium on Circuits and Systems, Kyoto, Japan, May 2005.

## Bibliographie

- Digital Systems Engineering by William J. Dally, John W. Poulton, Cambridge University Press (June 28, 1998)
- Digital Integrated Circuits (2nd Edition) by Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic, Prentice Hall, 2nd edition (December 24, 2002)
- Principles and Practices of Interconnection Networks by William James Dally, Brian Patrick Towles, Morgan Kaufmann (December 18, 2003)

