

Lilian Bossuet

**Architecture et utilisation des FPGA
évolutions et tendances**

Ecole Thématique ARCHI 09 - Pleumeur-Bodou
Jeudi 2 avril 2009

1 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Xilinx Virtex 6 - 40 nm FPGA

Technologie 40 nm
Fréquence maximale d'utilisation 600 MHz
Jusqu'à 759 000 cellules logiques (LUT + bascules D)
Jusqu'à 5Mo de cellules mémoires
Jusqu'à 18 horloges synchronisées
Jusqu'à 2016 cellule DSP 18 bits
De 2 à 4 contrôleurs PCI/Ethernet
Jusqu'à 1200 entrées/sorties
Taille de puce max 42,5² mm



1 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Plan

- Introduction, considérations technologiques et économiques
- Conception technologique des FPGA
- Architectures et ressources embarquées
- Utilisation et application
- Vers le futur ...
- Conclusion et références

3 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Plan

- Introduction, considérations technologiques et économiques
- Conception technologique des FPGA
- Architectures et ressources embarquées
- Utilisation et application
- Vers le futur ...
- Conclusion et références

4 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

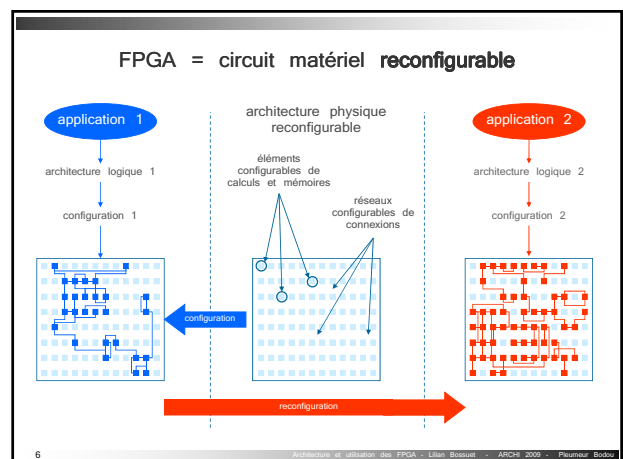
Définition

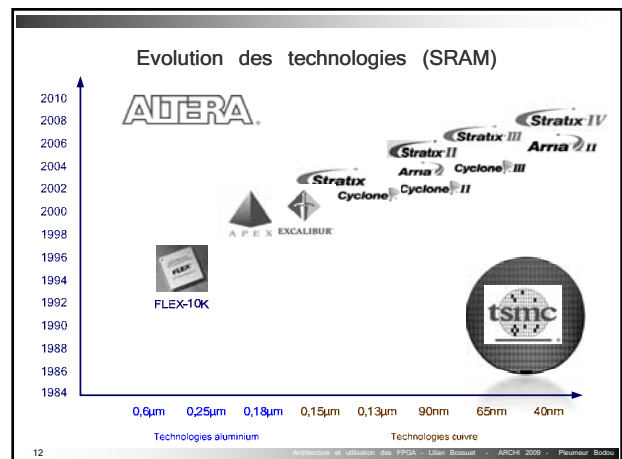
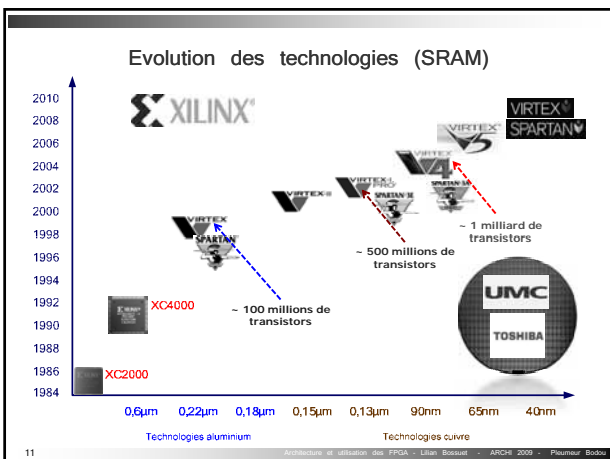
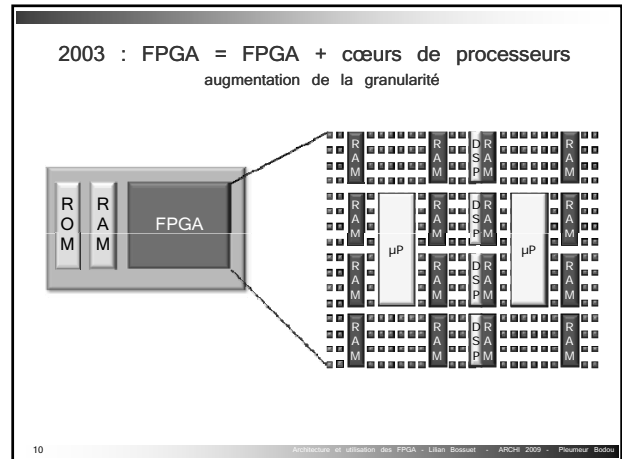
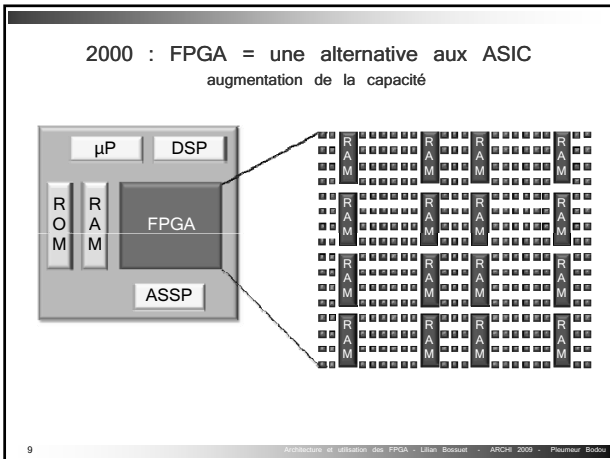
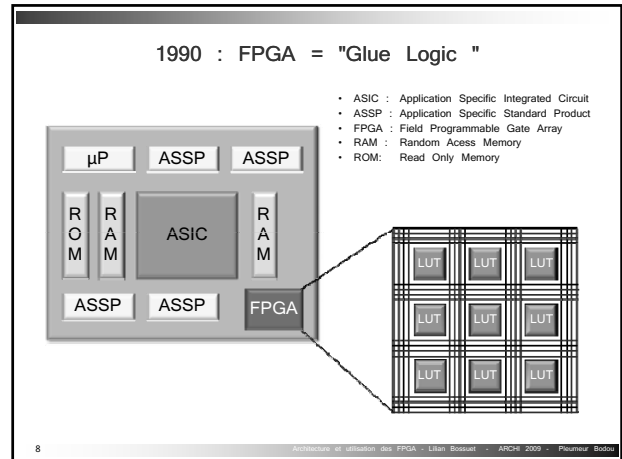
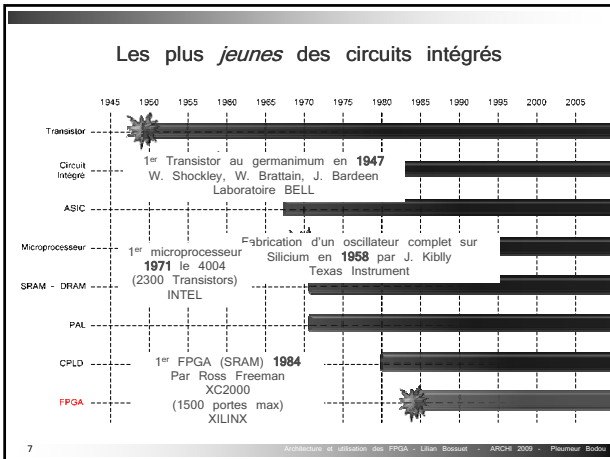
FPGA : Field Programmable Gate Array

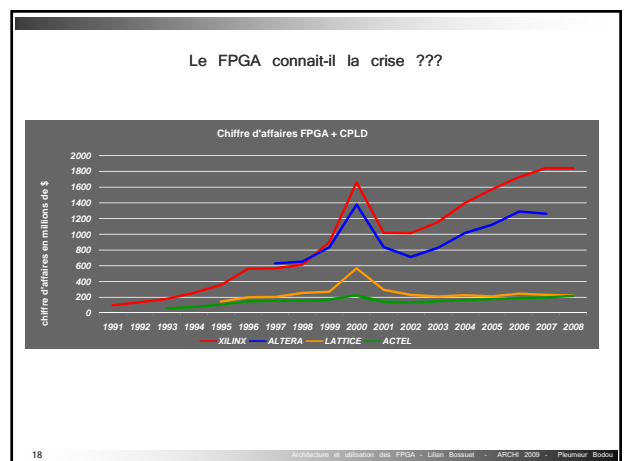
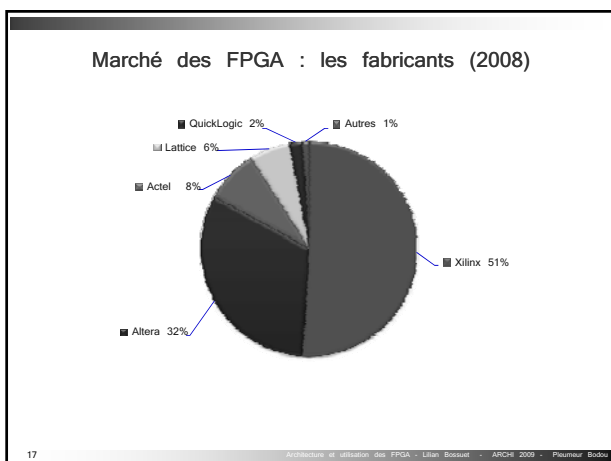
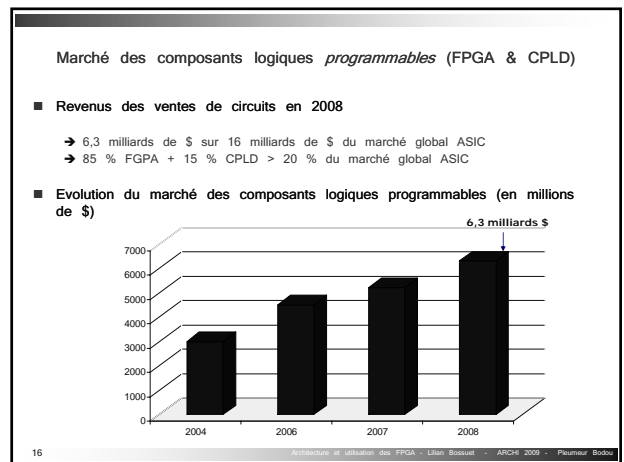
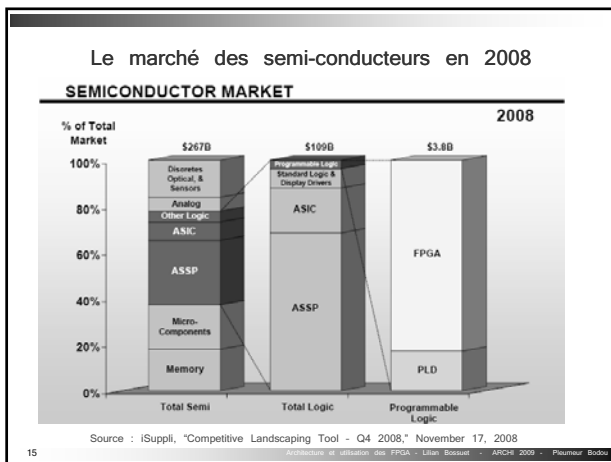
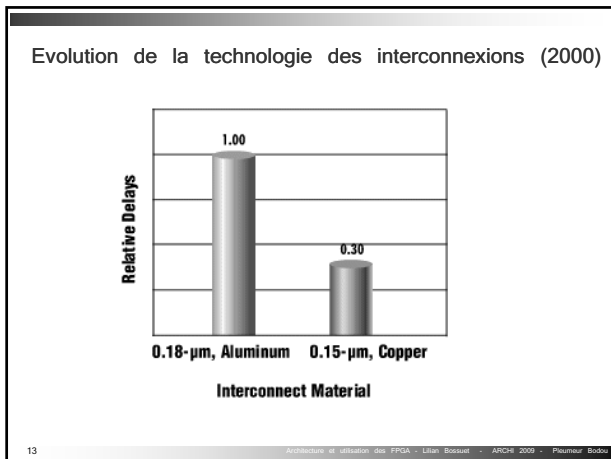
En français :
Composant, constitué d'un ensemble de ressources configurables logiques, arithmétiques et de mémorisation pouvant être mises en relation par un réseau d'interconnexions configurables

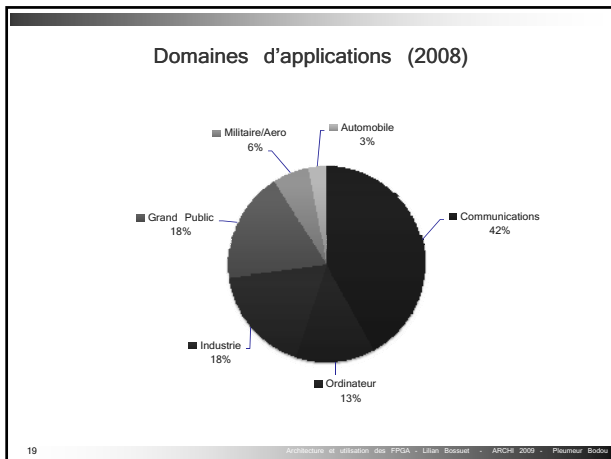
Technologies de configuration : *antifuse, cmos-antifuse, flash, SRAM*

5 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou







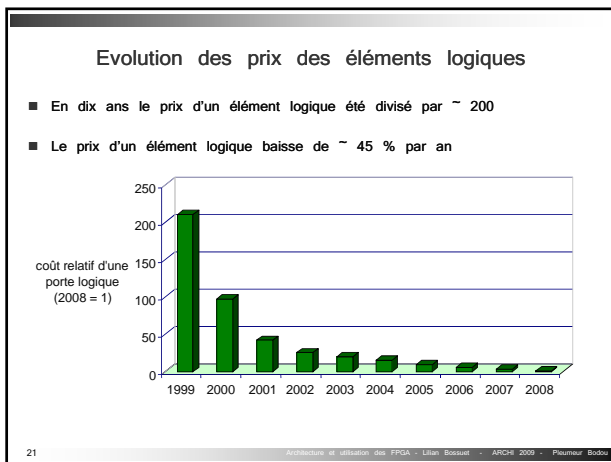


Evolution du prix des circuits

- Le volume de vente des FPGA augmente avec le marché
→ Réduction des coûts de production
- La technologie évolue et la densité d'intégration augmente
→ Augmentation de la taille des wafers de 200 mm à 300 mm de diamètre

- Intégration d'environ 2,6 fois plus de transistors à technologie constante
- L'augmentation du coût est d'environ 1,9 pour un wafer plus grand

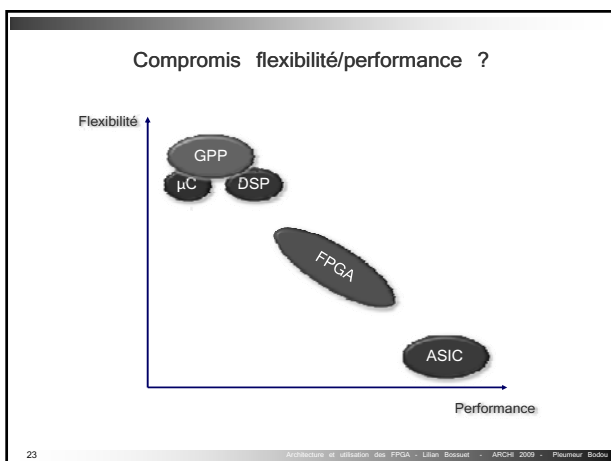
20 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

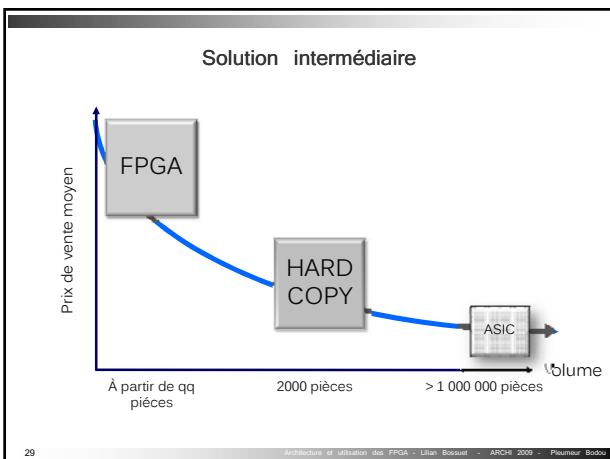
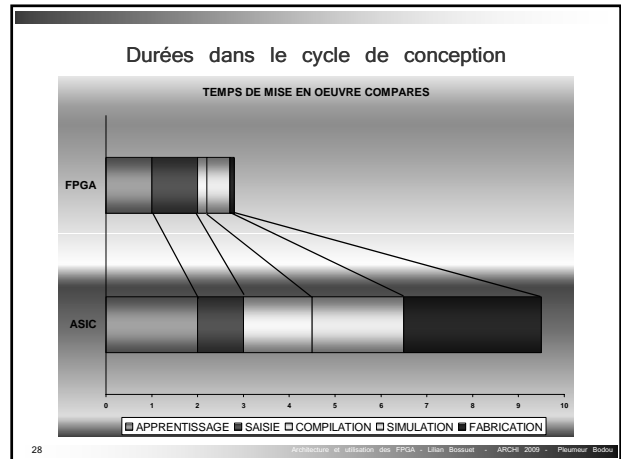
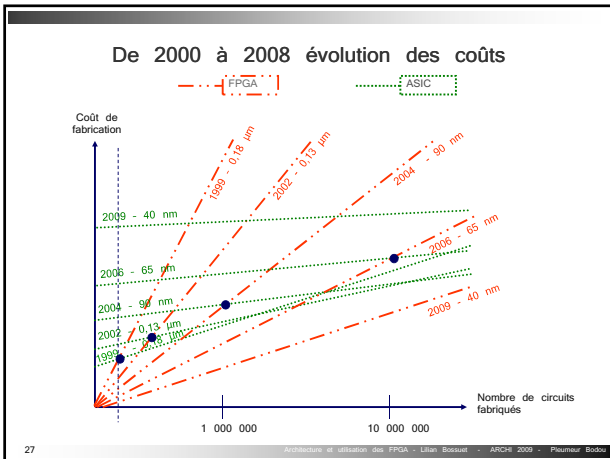
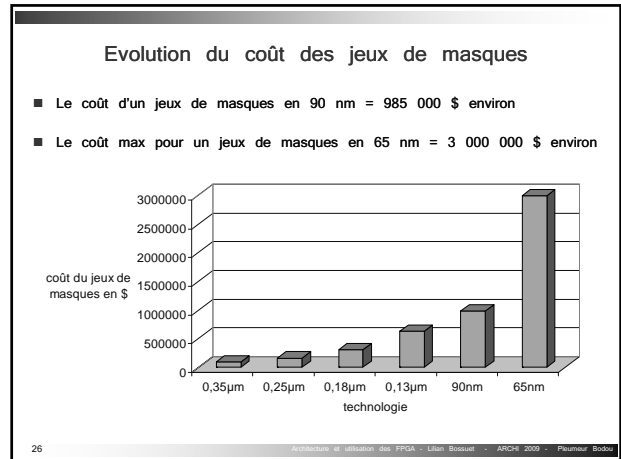
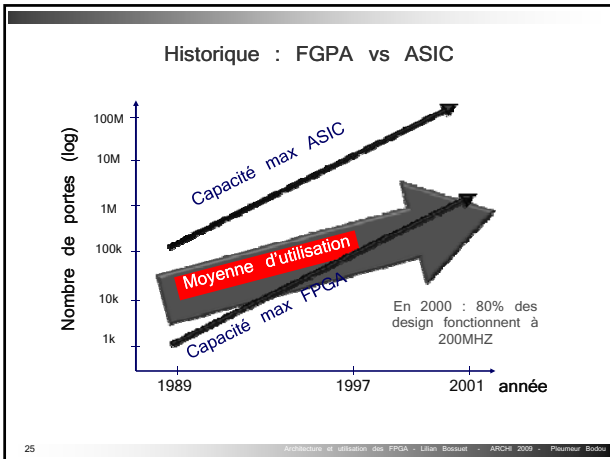


Evolution performances/prix

Densité (logique)	+ 55% par an
Vitesse (fréquence système)	+ 35% par an
Prix (de l'élément logique)	- 45% par an

22 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

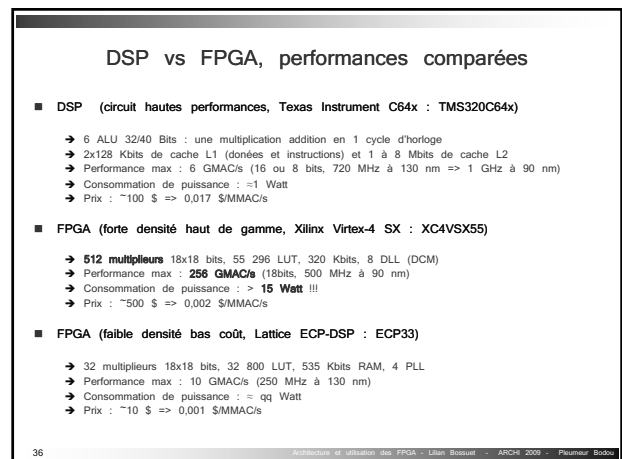
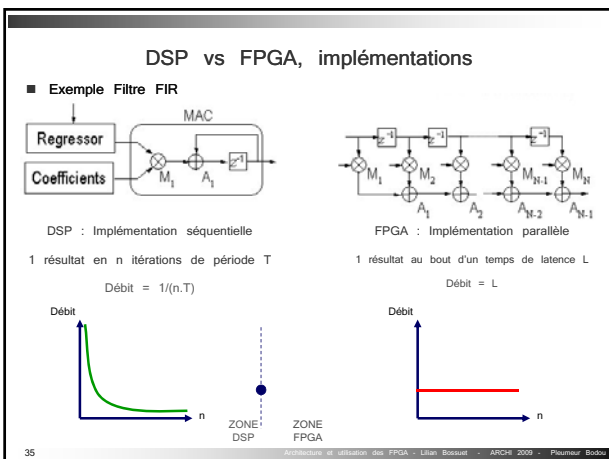
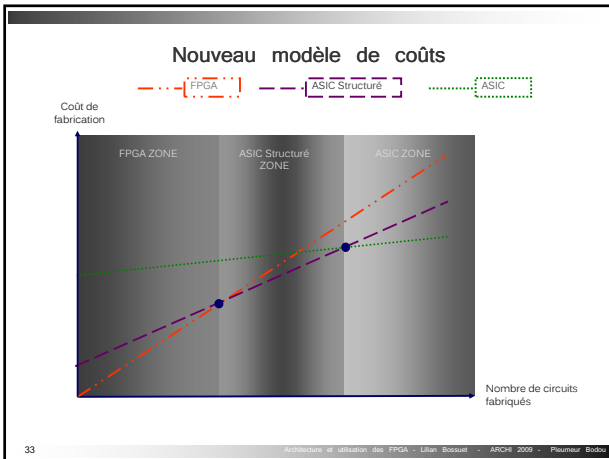
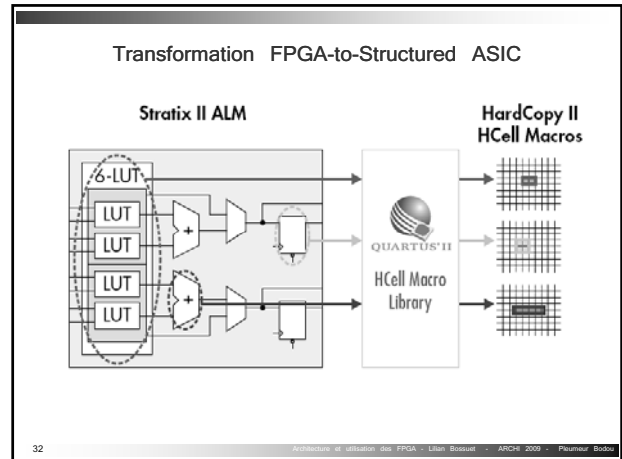
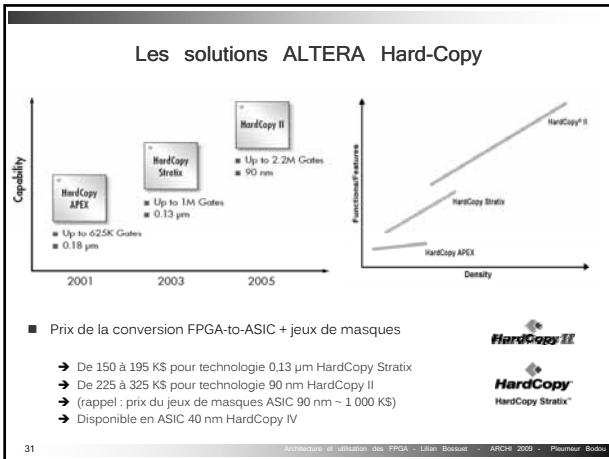




Les solutions ALTERA Hard-Copy

- Réduction de la taille jusqu'à 70%
- Temps de réalisation de 1 à 2 mois (6 à 9 pour les ASIC)
- Conversion à partir du fichier binaire de configuration
- Possibilité d'estimer les performances à partir des outils constructeurs
- Possibilité de garder le même package (pin-to-pin compatible)
- HARD-COPY** est la dénomination ALTERA. Dans ce cas tous les bits de configuration SRAM sont remplacés par 5 masques de métal.
- Remarque : la solution Xilinx s'appelle **EasyPath**

30 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou



Conclusion

- Le marché des FPGA a connue une très forte évolution depuis 1984 l'année de création des ces circuits
- Le FPGA est aujourd'hui
 - Une alternative à l'ASIC pour des raisons économiques en apportant le prototypage rapide et la reconfiguration
 - Une alternative au DSP grâce à leur puissance de calculs parallèles
 - Proposé en version haut de gamme (Vertex, Stratix), version low-cost et/ou low power (Spartan, Cyclone)
- Il est donc nécessaire de bien connaitre l'offre commercial, les tendances et les évolutions futures du domaine

37 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Plan

- introduction, considérations technologiques et économiques
- Conception technologique des FPGA
- Architectures et ressources embarquées
- Utilisation et application
- Vers le futur ...
- Conclusion et références

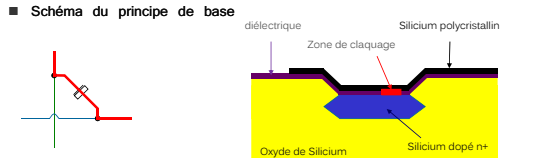
38 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les technologies de configuration

- Qu'est-ce que la configuration ?
 - Configuration des lignes de routages (matrices de connexions et blocs de connexions)
 - Configuration des éléments configurables (logique, mémoire, E/S ...)
- 4 principales technologies pour mémoriser la configuration
 - Technologie ANTIFUSE
 - Technologie NVCM (*Non-Volatile Configuration Memory*)
 - Technologie FLASH
 - Technologie SRAM (*Static Random Access Memory*)

39 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou



Technologie antifusible 1/2

- Principe
 - A l'état non passant il s'agit d'un isolant entre deux semi-conducteurs fortement dopés
 - Le passage à l'état passant se fait par claquage de l'isolant par diffusion du semi-conducteur dans l'isolant. Pour ça il faut appliquer une forte tension à l'isolant (~16V pendant 1ms)
 - La configuration du fusible est irréversible (non-reconfigurable)
 - La plus ancienne des technologies (initialement cellule fuse mais tension de programmation trop importante et la taille ~700 fois supérieure)
- Schéma du principe de base
 

40 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

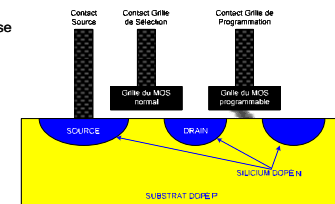
Technologie antifusible 2/2

- Exemple réel (source ACTEL)



- Avantages
 - Le point de configuration est très simple
 - La configuration est rapide
 - Technologie peu chère
 - Très bonnes performances électriques (R et C faibles) => faible consommation (Watt)
 - Technologie très sûre pour la propriété intellectuelle (espionnage industriel)
 - Peu sensible aux radiations (milieux hostiles : espace par exemple)
- Inconvénients
 - ONE TIME PROGRAMMABLE !!!
 - Tension élevée pour la configuration

41 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie NVCM

- Brevet Kilopass 2001 (utilisée par SiliconBlue)
 - Extra-Permanent Memory (XPM) technology
 - One Time Programmable
 - Antifusible en technologie CMOS
- Schéma de principe de base
 
- Avantage/inconvénient
 - Plus petit qu'un antifusible et moins chère à fabriquer
 - Très basse consommation
 - Pas de différence optique visible entre élément configuré et non-configuré

42 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie flash 1/2

■ **Principe**

- Amélioration des classiques cellules EEPROM (*Electrically Erasable Programmable Read Only Memory*)
- Utilisation de 2 transistors MOS par cellule (5 pour l'EEPROM) et une structure verticale

■ **Schéma du principe de base**

43 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie flash 2/2

■ **Avantages**

- Mémoire non volatile
- Temps de configuration faible (d'où le nom de "Flash") de quelques μ s
- Temps d'effacement 1000 fois plus grand (qq ms)
- Plusieurs cellules sont configurées simultanément

■ **Inconvénients**

- Nécessite une alimentation supplémentaire (la tension de programmation et d'effacement est de ~ 10 Volts) qui peut être intégrée au composant sous la forme d'un système de pompe de charge. Le composant peut alors être programmé sur la carte (*ISP : In Situ Programmable*)
- Peu être sensible aux radiations
- Reconfiguration peu flexible

44 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie SRAM 1/4

■ **Principe**

- Cellule de mémorisation RAM (Random Access Memory) à 6 transistors CMOS
- Technologie la plus répandue (Xilinx, Altera, ATMEL) 70 à 80 % du marché des FPGA

■ **Schéma de principe de base**

45 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie SRAM 2/4 : configuration 1

46 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie SRAM 3/4 : configuration 0

47 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie SRAM 4/4

■ **Avantages**

- Configuration très rapide de qq ns
- Nombre de configurations illimité (idéal pour le prototype)
- Chargement d'une configuration partielle ou totale possible en cours d'utilisation (*Run Time Configuration* = reconfiguration dynamique)
- ISP : In Situ Programmable

■ **Inconvénients**

- Point de configuration complexe avec de nombreux transistors
- Mauvais performances électriques (R et C élevés) => consommation de puissance élevée
- Mémoire volatile, nécessite donc une programmation à chaque mises sous tension (mémoire de configuration FLASH ou ROM externe)
- L'échange du bitstream est une faille en terme de sécurité (protection du design)
- Grande sensibilité aux radiations

48 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Technologie de configuration : récapitulatif

Technologie	Antifusible	NVCM	Flash	SRAM
Consommation (Watt)	Faible	Faible	Moyenne	Moyenne à grande
Rapidité (fréquence)	Moyenne	Moyenne	Moyenne	Grande
Mémoire de Configuration	Permanente (irréversible)	Permanente (irréversible)	Non Volatile (réversible)	Volatile (sans alimentation)
Reconfiguration	NON (DTP)	Oui (ISP)	Oui (ISP)	Oui, Dynamique (ISP)
Temps de configuration	--	--	Lente (3 X plus qu'avec SRAM)	Rapide
Prototypage ?	NON	NON	Oui	OUI (Très bon)
Sécurité de la conception (IP)	Très bonne	Très bonne	bonne	Moyenne
Sensibilité aux radiations	Très faible	Très faible	Moyenne	Grande
Fabricants	Actel, QuickLogic	SiliconBlue	Actel, Cypress, Lattice	Xilinx, Altera, Atmel, Lattice

49 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Lattice Une idée : mélanger Flash et SRAM

■ **Lattice MachXO : Non-volatile Infinitely Reconfigurable**

- Mémoire de configuration : mémoire Flash embarquée (non-volatile)
- Support de la configuration : mémoire SRAM (reconfigurable rapidement)
- Faible densité (max : 2280 Luts et 28 Kbits de RAM embarquées)
- Possibilité d'endormir le composant par commande externe (pin SLEEPN) pour obtenir 100 fois de courant statique en mode sleep (logique non-opérationnelle, données en mémoire et registre effacées, I/O en mode trois états)

50 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Lattice Reconfiguration Run-Time

- 1^{er} configuration à la mise sous tension
- Modification de la configuration mémorisée dans la mémoire flash
- Blocage des entrées/sorties
- Configuration de la matrice SRAM
- Déblocage des sorties
- Fonctionnement avec la nouvelle configuration ...

51 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

XILINX® Spartan 3AN

■ **Spartan 3AN : FPGA Xilinx incluant une mémoire FLASH (février 2007)**

- Mémoire de configuration : mémoire Flash embarquée (non-volatile)
- Fréquence de fonctionnement : 66 MHz
- Taille de la mémoire Flash : de 1 Mbits à 17 Mbits
- Taille maximale du bitstream : de 0,5 Mbits à 4,7 Mbits
- Possibilité de mémoriser au moins deux bitstreams
- Support de la configuration : mémoire SRAM (reconfigurable rapidement)
- Technologie 90 nm

52 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Plan

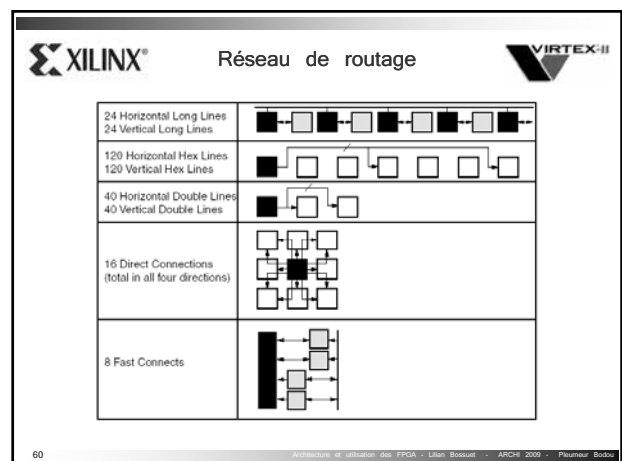
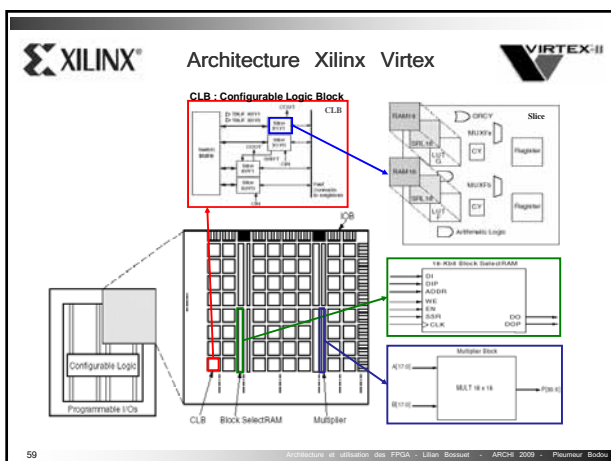
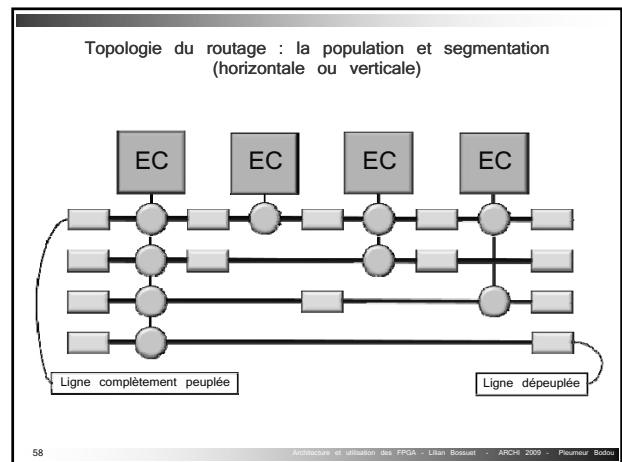
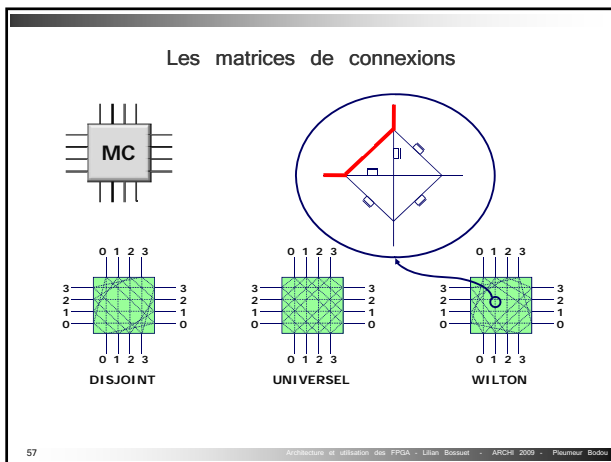
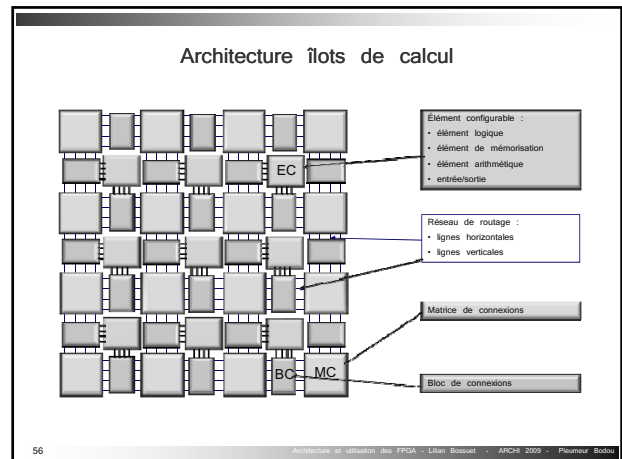
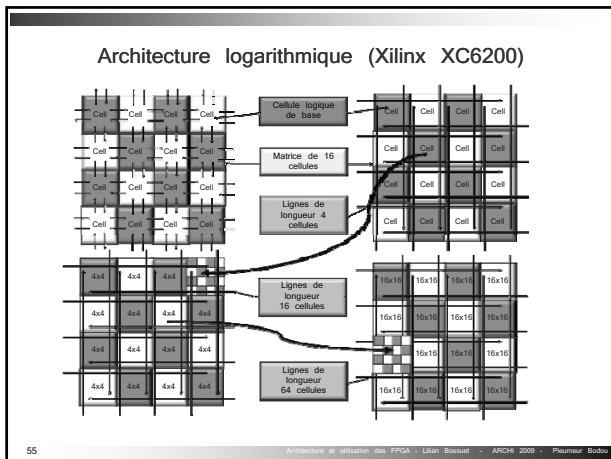
- Introduction, considérations technologiques et économiques
- Conception technologique des FPGA
- Architectures et ressources embarquées
- Utilisation et application
- Vers le futur ...
- Conclusion et références

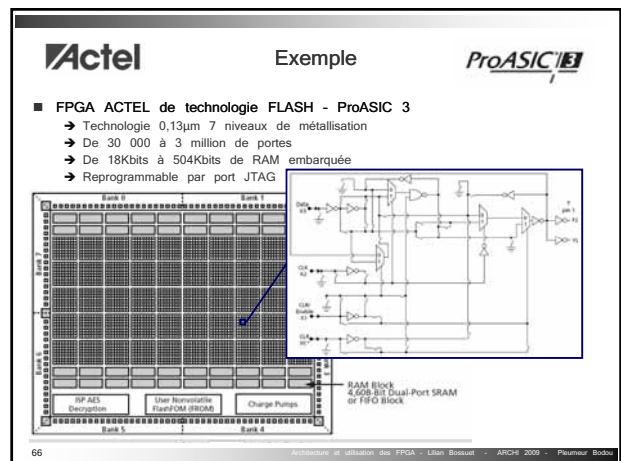
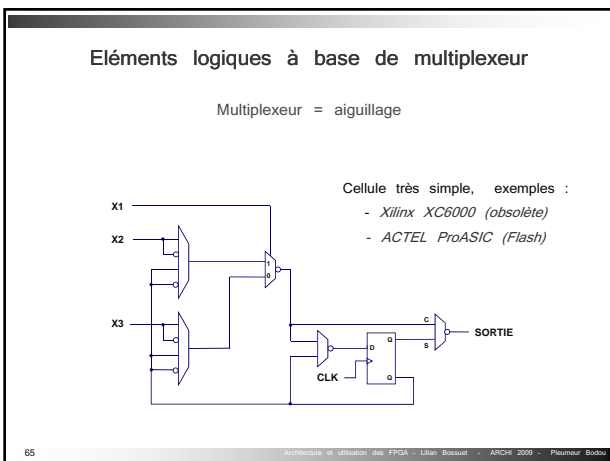
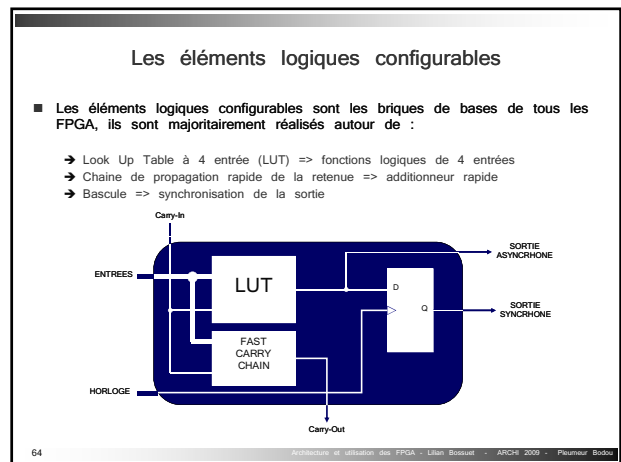
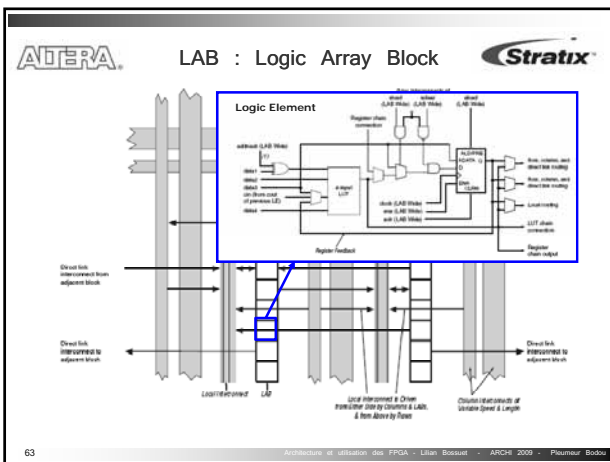
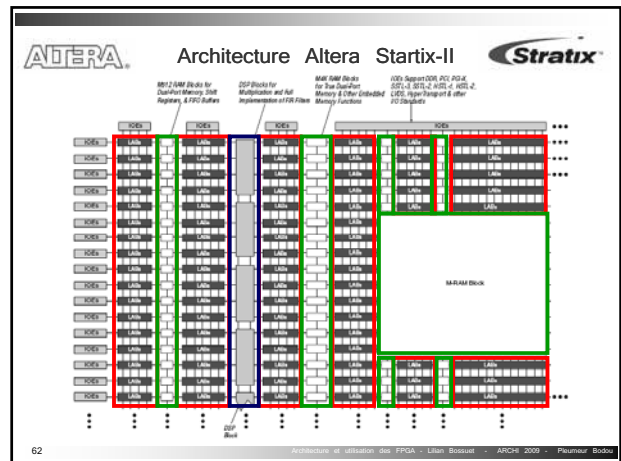
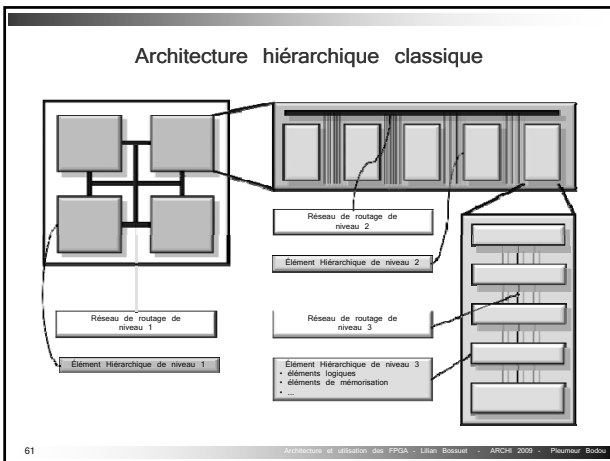
53 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les architectures

- Les architectures reflètent la topologie du réseau de routage
- Deux styles d'architectures : îlots de calcul et hiérarchique
- Architectures îlots de calcul
 - Solution Xilinx, Atmel
 - Les éléments fonctionnels (logiques, arithmétiques, mémoires, E/S) sont regroupés sous forme de matrice
 - Architecture classique de présentation des FPGA
- Architectures hiérarchiques
 - Solution Altera, Lattice
 - Chaque niveau de hiérarchie de l'architecture dispose d'un réseau de routage qui lui est propre afin d'optimiser les échanges de données entre éléments fonctionnels proches.
 - Architecture la plus efficace si on sait, ou si on peut optimiser le placement des éléments fonctionnels utilisés

54 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou





Les LUT

■ Ce sont de petits éléments de mémorisation, qui reflètent la table de vérité d'une fonction logique

LUT = Table de scrutation
LUT 4 entrées = RAM 2octets

67 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les LUT

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

68 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les LUT

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

69 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les LUT

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

70 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les LUT

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

71 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les LUT

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

72 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les LUT

In 0 = 0 In 1 = 1 In 2 = 1 In 3 = 1

1111	0
1110	1
1101	1
1100	0
1011	0
1010	1

Out = 1 = In3 * In2 * In1 * In0

73 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Tendance : évolution de la taille des LUT

Virtex 4 (90nm)

- 2 SLICEL & 2 SLICEM par CLB
- 2 LUT-4 par SLICE
- 2 bascules D par SLICE
- 32 bits ram par SLICEM
- 64 bits ram par CLB

Virtex5 (65nm)

- 1 SLICEL & 1 SLICEM par CLB
- 4 LUT-6 par SLICE
- 4 bascules D par SLICE
- 256 bits ram par SLICEM
- 256 bits ram par CLB

Attention dans la littérature : Slice Virtex, Virtex-II, Virtex4 ≠ Slice Virtex5

74 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

ALM : Adaptive Logic Module

75 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Altera ALM Utilisation

76 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les éléments mémoires configurables

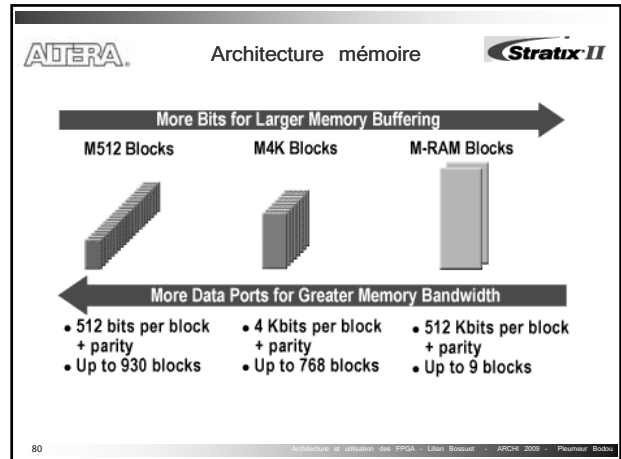
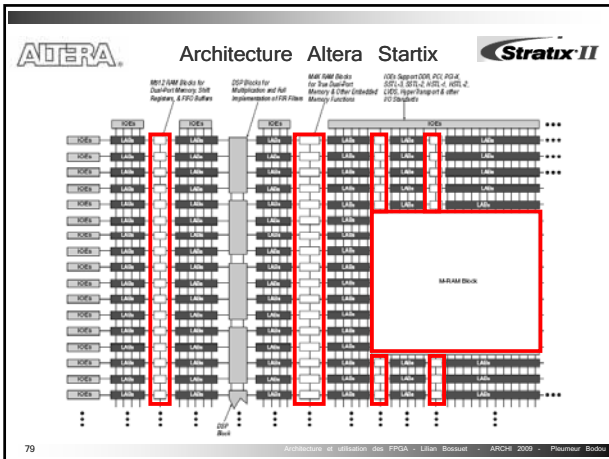
- Les accès aux mémoires externes dégradent les performances du système
 - L'utilisation des entrées/sorties du circuit augmente la consommation de puissance (tensions d'alimentation plus élevées)
 - Les signaux sont ralentis lors d'une communication sur la carte
- Les mémoires RAM sont intéressantes pour stocker des coefficients (cas du FIR et du IIR) ou des valeurs particulières (cos pour la DCT)
- Les mémoires RAM sont intéressantes pour réaliser des machines d'états et économiser de la logique distribuée (LUT), un mot = sortie d'un état
- Tous les FPGA proposent aujourd'hui de large éléments mémoires configurables
 - Type de mémoire : ROM, RAM
 - Technologie : simple port et double port
 - Taille des données stockés

77 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Exemple : blocks SelectRAM

- Blocks de mémoire RAM ou ROM de taille max 2*18 Koctets
 - Virtex
 - Virtex-II
 - Virtex-II Pro
 - Virtex-4, 5, 6 ...
- Configurable en simple ou double ports
- Taille des données configurable
 - 16384*1bit (ADD sur 14 bits)
 - 8192*2 bits (ADD sur 13 bits)
 - 4096*4 bits (ADD sur 12 bits)
 - 2048*9 bits (ADD sur 11 bits)
 - 1024*18 bits (ADD sur 10 bits)
 - 512*36 bits (ADD sur 9 bits)

78 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

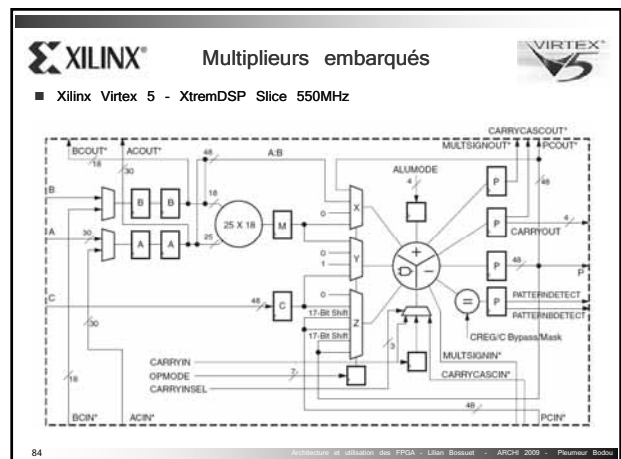
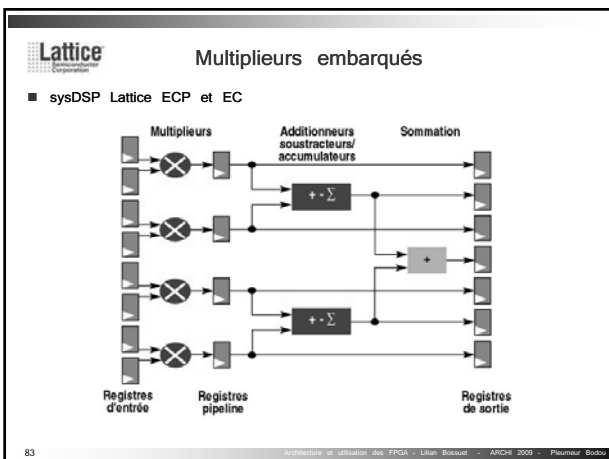
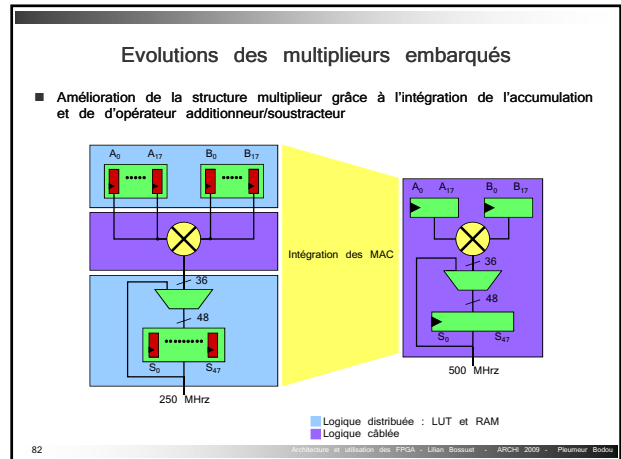


Opérateurs arithmétiques câblés

- Dans les ressources logiques à disposition, on peut trouver des opérateurs arithmétiques câblés optimisés.
- But : implanter de façon efficace des applications de traitement du signal (filtres numériques, transformées ...)
- Exemple : Multiplieurs configurables Virtex-II Xilinx

XILINX
Embedded Multiplier
18*18 bits

81 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou



Les cœurs de processeurs embarqués

- Aujourd'hui les systèmes numériques font de plus en plus appel conjointement à des ressources logicielles micro-programmables (μP , μC , DSP) et des ressources matérielles reconfigurables (FPGA)
- D'où l'idée de mettre sur un même puce un cœur de microprocesseur et un cœur de logique configurable, les deux étant optimisés technologiquement
- Le cœur de processeur peut prendre environ 10% de la surface totale de la puce

85 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Altera Cœurs de processeurs

Altera EXCALIBUR

- Altera Excalibur (APEX 20KE)
 - une partie configurable
 - De 30 000 à 1 500 000 portes
 - 24 Kbits à 442 Kbits de mémoires
 - De 92 à 808 I/Os
 - un cœur de processeur
 - ARM9 (32 Bits) à 200MHz
 - 8 K octets de cache instructions
 - 8 K octets de cache données

86 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

XILINX Cœurs de processeurs

XILINX VIRTEx II PRO

- Xilinx Virtex II Pro (XC2VP)
 - Une matrice configurable
 - 1 500 000 de portes
 - 216 Kbits à 8 Mbits de mémoires
 - De 204 à 1164 I/Os
 - 1, 2 (ou 4) cœurs de processeur
 - PowerPC 405 (32 Bits) à 400MHz
 - 16 K octets de cache instructions
 - 16 K octets de cache données

87 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

QUICKLOGIC Cœurs de processeurs

QUICKLOGIC

- QuickLogic QuickMIPS
 - Technologie antifusibles
 - Une partie configurable
 - 2016 macrocells (575K portes)
 - 83 Kbits de mémoires RAM
 - De 122 I/Os
 - Un cœur de processeur
 - MIPS (32 Bits) à 233MHz
 - 16 K octets de cache instructions
 - 16 K octets de cache données

88 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Le réseaux d'horloge

Les circuits sont de plus en plus grands

augmentation de la longueur des connexions

les chemins d'horloges sont plus longs

plus de retard

ASYNCHRONISME MALSAINT !!!

89 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Problème sur l'horloge

Le problème 1 : LE JITTER : bruit de phase

Le problème 2 : LE CLOCK SKEW : Décalage entre les transitions de la même horloge à différents points d'un circuit.

Le problème 3 : on peut avoir besoin de plusieurs horloges dans un même circuit

90 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Solution d'asservissement des horloges

Les PLL (analogique)
Phase-Locked Loop
(ALTERA)

Les DLL (numérique)
Delay-Locked Loop
(XILINX)

91 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Répartition de la consommation de puissance

92 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Tendances générales

- Un offre plus diversifiée de circuits
 - Circuits de très grande capacité
 - Circuits de capacités et performances moyennes
 - Circuits bas couts et/ou
- Introduction de partie an:
 - FPGA de technologie FI
 - Technologie 0,13µm 7
 - De 90 000 à 1,5 milli
 - 1 CAN 12 bits

93 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Monitoring embarqués

■ Xilinx Virtex 5 - System Monitor

94 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Vers un nouveau concept

95 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Architecture *Domaine Specific*

Column Based ASMBL Architecture

Capabilities: Logic, DSP, Memory, Processing, High-speed I/O, Hard IP, Mixed Signal, Future...

Domain A, Domain B, Future Applications


Concept Xilinx : Application Specific Modular BLock (ASMBL) Architecture

96 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Xilinx Virtex 4


LX
SX
FX

- Technologie cuivre 0,9 µm
- 3 versions :
 - Fort besoin en éléments logiques configurables
 - Grand nombre d'entrées/sorties
 - Version DSP : Nombreux DSP blocks
 - Importante taille de mémoire embarquée
 - Processeur IBM PowerPC embarqué
 - Contrôleur Ethernet et RocketIO multi-gigabit




Virtex-4 LX
Logic Platform

Logic Domain
Highest logic density



Virtex-4 SX
Signal Processing Platform

DSP Domain
Highest DSP Performance



Virtex-4 FX
Full Featured Platform

Processing Domain
Connectivity Domain
Embedded Processors
High-speed Serial I/O

Features	Virtex-4 LX	Virtex-4 SX	Virtex-4 FX
Logic	High	Medium	Low
Memory	Low	High	High
DSP Blocks	Low	High	High
Transceivers	Low	Medium	High
Processors	Low	Medium	High

- 5 versions pour le circuits Virtex 5 (LX, LXT, SXT, FXT, TXT)

97 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

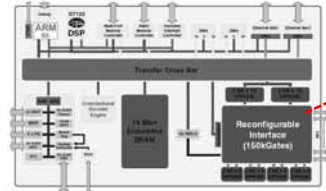
Plan

- Définitions
- Conception des FPGA
- Architectures et ressources embarquées
- Utilisation et application
- Vers le futur ...
- Conclusion et références

98 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Embarquer un FPGA dans un SOC ...

- L'augmentation des densités d'intégration permettent d'intégrer de nombreux composants sur une même puce
 - Un ou plusieurs processeurs (MP-SOC)
 - Un ou plusieurs FPGA (R-SOC)
 - Un réseau de communication (NOC)
- Exemple d'un SoC ST Microelectronics STW22000 microprocessor
 - Application : Infrastructure réseaux sans fil 3G





eFPGA

Cœur de FPGA SRAM M2000
Technologies 90 nm

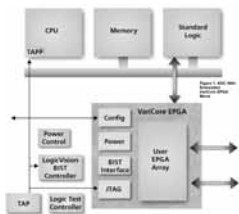
Capacité logique : 150K portes
Fréquence max : 200MHz

99 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Actel VariCore EPGA IP

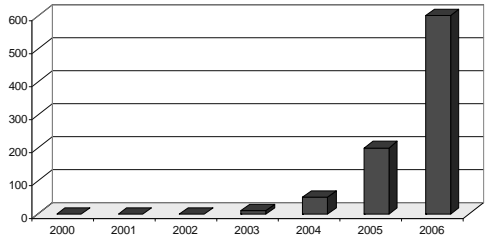
- Cœur de FPGA SRAM
 - Technologie 0,18 µm CMOS 1,8V
 - Faible densité : de 5 000 à 40 000 portes
 - Jusqu'à 73 728 bits de RAM embarquée
 - Fréquence max 250MHz
 - Consommation 0,075µW/porte/Mhz => typique 240mW à 100MHz 80% utilisé



100 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Marché des cœurs de FPGA embarqués

- En million de \$

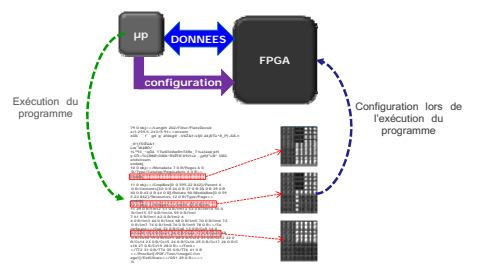


Année	Marché (Million de \$)
2000	~10
2001	~15
2002	~20
2003	~30
2004	~60
2005	~220
2006	~600

101 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Mise en œuvre d'un SOC hétérogène

- Conception conjointe matérielle/logicielle
 - Estimation des performances => partitionnement des tâches
 - Le FPGA peut être vue comme un coprocesseur (accélérateur) matériel



102 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Exemple d'application

- Méthodologie de conception
 - 1 - Partitionner l'application sur les cibles logicielle (µp) / matérielle (FPGA)
 - 2 - Partitionner les configurations en modules configurables
 - 3 - Estimer la taille des modules, des configurations => choisir un circuit FPGA

	Module A	Module B	Module C	Module D	Module E	Module F	Taille config (slices V4)
Configuration C1	X	X	X				8000
Configuration C2	X	X	X			X	12000
Configuration C3	X	X		X			12000
Configuration C4	X	X			X		10000
Configuration C5	X	X			X	X	14000

Taille module (slices V4)	4000	3000	1000	5000	3000	4000
---------------------------	------	------	------	------	------	------

103 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Choix du circuit et temps de configuration

- Données Xilinx pour les VIRTEX-II Pro et VIRTEX-4 (FPL 2006)

Reconfiguration Latency (ms)

Nombre de Slices V4

Device	Slices V4	Reconfiguration Latency (ms)
V4LX15	8 144	~0.8
V4LX25	10 572	~1.0
V4LX40	18 432	~1.5
V4LX60	28 634	~2.5
V4LX80	35 840	~3.5
V4LX100	49 152	~4.5
V4LX160	65 584	~5.5
V4LX200	89 088	~6.5

Taille du bitstream 12,3 Mbits

% of device reconfigured

- 10% - 0,8ms
- 25% - 1ms
- 50% - 3,5ms
- 75% - 5ms
- 100% - 6ms

104 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Exemple d'application

- Méthodologie de conception
 - 1 - Partitionner l'application sur les cibles logicielle (µp) / matérielle (FPGA)
 - 2 - Partitionner les configurations en module configurable
 - 3 - Estimer la taille des modules, des configurations => choisir un circuit FPGA
 - 4 - Estimer les temps de configuration

	Module A	Module B	Module C	Module D	Module E	Module F	Taille config (slices V4)	Occupation V4LX10	Temps de configuration
Configuration C1	X	X	X				8000	43 %	3ms
Configuration C2	X	X	X			X	12000	65 %	4,5ms
Configuration C3	X	X		X			12000	65 %	4,5ms
Configuration C4	X	X			X		10000	55 %	4ms
Configuration C5	X	X			X	X	14000	76 %	5ms

Taille module (slices V4)	4000	3000	1000	5000	3000	4000
---------------------------	------	------	------	------	------	------

105 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

1ère solution : configuration complète

- L'ensemble des configurations {C1,C2,C3,C4,C5} est stockée et le FPGA est configuré de l'une à l'autre

FLASH CONFIG

Ordre de configuration

CONTROLEUR DE CONFIGURATION

FPGA

Taille mémoire de configuration > Σ taille des configurations

Temps de configuration envisageable longs entre 3,5ms et 5ms

106 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Configuration multi-contextes - cache de configuration

- L'idée serait d'avoir N points de configuration et de passer rapidement de l'un à l'autre

Config_1 → SRAM

Config_2 → SRAM

Config_3 → SRAM

Choix_Config

- La taille du point de configuration (donc du bitstream) est multipliée par N (plus le coût du décodage d'adresses de configurations).

107 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

2ème solution : configuration complète avec cache

- L'ensemble des configurations {C1,C2,C3,C4,C5} est stockée et le FPGA possède un cache de configuration (profondeur = 3)

FLASH CONFIG

Ordre de configuration

CONTROLEUR DE CONFIGURATION ET DE CACHE

FPGA

Taille mémoire de configuration > Σ taille des configurations

Taille FPGA xN capacité de cache (non disponible III)

Temps de configuration envisageable très courts ~qq µs ou longs (défaut de cache I) => complexité du contrôleur

108 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

XILINX® La reconfiguration partielle

- Solution proposée en 2002 par Xilinx pour les Virtex-II Pro
 - Disponible pour : Virtex-II, Virtex-II Pro, Virtex-4, Virtex-5, Virtex-6, Spartan-6
 - Partitionnement du circuit
 - Zones statiques
 - Zones reconfigurables dynamiquement

109 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

XILINX® Mise en œuvre - Conception

- Méthodologie de conception
 - Définition des configurations
 - Choix des zones statiques et dynamiques
 - Définition des contraintes de placement et routage

110 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

XILINX® Mise en œuvre - Architecture

ICAP (Internal Configuration Access Port)
32 bits 100MHz (Virtex-4)
32 bits 120MHz (Virtex-5)

Contrôleur :
HWICAP (Virtex-II)
XPS_HWICAP (Virtex-4 et Virtex-5)

111 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Mise en œuvre - Exemple

- Reconfiguration dynamique d'un accélérateur matériel embarquant un algorithme de cryptage dans SoC

→ Configurable computing for high-security/high-performance ambient systems
Guy Gogniat, Lilian Bossuet, and Wayne Burleson
Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS V)
July 18-20, 2005, Samos, Greece

112 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Retour à l'exemple d'application

- Méthodologie de conception pour la reconfiguration dynamique partielle
 - 1 - Identifier les modules statiques et reconfigurables dynamiquement
 - 2 - Estimer les tailles et temps de configurations partielles dynamiques
 - 3 - Sélectionner les modules à regrouper dans une même zones

	Module A	Module B	Module C	Module D	Module E	Module F	Taille config (bits V4)	Occupation V4/V60	Temps de configuration
Configuration C1	X	X	X				1000	5 %	0,7ms
Configuration C2	X		X			X	5000	27 %	1ms
Configuration C3	X	X			X		5000	27 %	1ms
Configuration C4		X			X		3000	16 %	0,7ms
Configuration C5	X	X			X	X	7000	38 %	2,8ms
Taille module (bits V4)	4000	3000	1000	6000	3000	4000	7000	3000	5000

113 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

3^{ème} solution : configuration partielle

- L'ensemble des modules {A,B,C,D,E,F} sont stockés et le FPGA est reconfiguré partiellement avec une partie fixe et deux reconfigurables

Taille mémoire de configuration > Σ taille des modules
Temps de configuration courts entre 0,6ms et 1ms
Complexité de la méthodologie et du contrôleur

114 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Applications de la reconfiguration dynamique

- **Radio-logicielle**
 - radio (formes d'ondes) reconfigurable
 - Compatibilité avec les architectures logicielles (SCA CORBA)
 - Sécurité et sûreté des communications
- **Réseaux d'adhoc**
 - noeud routeur reconfigurable
 - ABR *Associativity Based Routing*
 - AODV *Adhoc On Demand Distance Vector Routing*
 - LSR *Dynamic Source Routing*
 - choix des métriques de reconfiguration

115 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Quelques problèmes à régler

- Définition des méthodologies
- Développement d'outils logiciel d'aide à la reconfiguration dynamique
- Gestion, via un OS, de la reconfiguration
- Sécurité (confidentialité, authentification, intégrité) de la reconfiguration

116 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Ajout de la reconfiguration à un OS (linux)

117 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

How to provide a Linux support for dynamic reconfiguration on Xilinx FPGAs
Ivan Beretta, Giuseppe Mangano, Marco D. Santambrogio

Sécurisation des FPGA SRAM

- Le bitstream décrit la configuration de tous les éléments configurables du circuits
- Un transfert de bitstream est nécessaire lors de la mise sous tension et à chaque reconfiguration

Le pirate peut facilement "lire" le bitstream

Solution: Cryptage du bitstream ...

118 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Solution Xilinx (SRAM)

- secret keys (Triple DES - 3 x 56 bits)
- secret keys (Triple DES - 3 x 56 bits)

- Besoin d'une batterie externe pour sauvegarder la clé (durée de charge > 20 ans)
- Le circuit de décryptage prend des ressources (silicium) du FPGA
- Pas de flexibilité dans le choix de l'algorithme de cryptage
- la reconfiguration partielle n'est plus possible ni la compression

- Disponible sur Virtex-II Pro
- Le Virtex4, Virtex5 et virtex6 sont dotés d'un algorithme AES 256 Bits

119 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Solution Altera (SRAM)

- secret key (AES 128 bits)
- secret key (AES 128 bits)

- La clé de cryptage est stocké dans une zone non volatile
- Le circuit de décryptage prend des ressources (silicium) du FPGA
- Pas de flexibilité dans le choix de l'algorithme de cryptage

- Disponible sur Stratix-II et Stratix-II GX
- New : Startix-III : AES 256 Bits, clé volatile (avec batt) ou non-volatile (OTP)

120 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Solution LESTER/UMASS (2002)

- Caractéristiques**
 - Chiffrement au choix
 - Partitionnement de l'application suivant le niveau de sécurité
 - Utilisation de l'auto-reconfiguration partielle (Xilinx uniquement)

L. Bossuet, G. Gogniet, W. Burleson. *Dynamically Configurable Security for SRAM FPGA Bitstreams*. In International Journal of Embedded Systems, IES Inderscience Publishers, Vol. 2, Nos. 1/2, pp 73-85, 2006

121 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Solution LIRMM/Princeton Univ (2008)

- Protection du bitstream pour des configuration à distance**
 - Chiffrement
 - Authentification
 - Protection contre le rejeu

B. Badrigans, R. Elbaz, L. Torres. *Secure Update Mechanism for Remote Update of FPGA-Based System*. In International Symposium on Industrial Embedded Systems, 2008, SIES 2008.

122 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Actel FPGA FLASH

- Cryptage du fichier de configuration des circuits ProAsic3 et Fusion pour la reconfiguration à distance**

- Système FlashLock**
 - Désactivation par clé de la programmation in-situ
 - Impossibilité de lire l'état de la configuration

© ACTEL

123 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Conclusion

- La reconfiguration est une caractéristique des FPGA qui apporte la flexibilité aux implémentations matérielles**
 - Reconfiguration par contexte (entière)
 - Reconfiguration partielle et auto-reconfiguration
 - Reconfiguration dynamique
- Pour utiliser largement et facilement cette caractéristique il est indispensable de développer des méthodologies et des outils**
- Un certain nombre de points restent encore à être amélioré**
 - Sécurité de la reconfiguration
 - Configuration à distance
 - Gestion de la configuration
 - Augmentation des débits de configuration
 - Définition des métriques de configuration pour diverses applications

124 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Plan

- Introduction, considérations technologiques et économiques
- Conception technologique des FPGA
- Architectures et ressources embarquées
- Utilisation et application
- Vers le futur ...
- Conclusion et références

125 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

The KressArray : a FPAA

Field Programmable ALU Array

Laboratoire Xputer
Université de Kaiserslautern
Allemagne

programmable:
• arithmetic
• relational
• logic
• special
• xiter-only
32 bits wide
each PE
individually programmable

126 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

The FPFA

Field Programmable Function Array

processor tile

Dept Computer Science & Electrical Engineering,
Université de Twente, Pays-Bas

127 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Une architecture commerciale : Chameleon

Chameleon System
San Jose, Californie
USA

128 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les évolution technologiques

- Ressource de routage
 - Nanotube de carbone
 - Très faible résistivité (faible perte de puissance)
 - Très faible taille et encombrement (grande densité)
 - Difficile actuellement à mettre en œuvre
- Les switch
 - Transistor moléculaire
 - Très faible taille (densité très importante)
 - Faibles pertes
 - Maîtrise complexe
- Mémoire de configuration
 - MRAM (Magnetic RAM)
 - Mémorisation dans un aimant en matériau ferromagnétique
 - La direction du champ magnétique change en fonction de l'application d'un champ électrique
 - Conservation des informations pour un temps quasi-infini
 - Grande consommation de puissance

129 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Plan

- Introduction, considérations technologiques et économiques
- Conception technologique des FPGA
- Architectures et ressources embarquées
- Utilisation et application
- Vers le futur ...
- Conclusion et références

130 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Le futur ... ???

- Une question apparaît :
 - Des processeurs dans les FPGA ou des FPGA dans les processeurs ?
- Les outils vont évoluer
 - Conception de moins en moins *spécialiste hardware*
 - Plus de flexibilité : reconfiguration partielle et dynamique
- Les composants vont évoluer
 - Plus de séries dédiées (spécialisation)
 - Augmentation des performances et réduction des consommations de puissance (marché des systèmes embarqués)
 - Augmentation de la granularité des éléments configurables
 - Une évolution vers les NOC ?
- Des Operating System pour FPGA ou pour systèmes reconfigurables

131 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Ressources Bibliographiques

- The Design Warrior's Guide to FPGAs
 - Clibe Maxfield
 - ISBN : 0750676043
 - Inclus un CD-Rom avec des informations supplémentaires
- Digital Signal Processing with Field Programmable Gate Array
 - Uwe Meyer-Baese
 - ISBN : 3540211195 (seconde édition)
 - Inclus un CD-Rom avec les fichiers VHDL
- Architecture and CAD for Deep-Submicron FPGA
 - Vaughn Betz, Jonathan Rose, Alexander Marquardt
 - ISBN : 0792384601

132 Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Ressources Bibliographiques

■ Sites constructeurs (notes d'applications et data sheet)

- ACTEL : <http://www.actel.com/>
- ANADIGM : <http://www.anadigm.com>
- ALTERA : <http://www.altera.com/>
- ATMEL : <http://www.atmel.com/>
- CYPRESS : <http://www.cypress.com/>
- LATTICE : <http://www.latticesemi.com/>
- M2000 : <http://www.m2000.fr>
- QUICKLOGIC : <http://www.quicklogic.com>
- XILINX : <http://www.xilinx.com/>

133

Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou

Les conférences

■ Conférences spécialisées

- FPGA ACM International Symposium on Field-Programmable Gate Arrays
- FPL International Workshop on Field-Programmable Logic and Applications
- FCCM IEEE Symposium on Field-Programmable Custom Computing Machines
- FTP IEEE International Conference on Field-Programmable Technology
- RSP IEEE International Workshop on Rapid System Prototyping
- ERSA Engineering of Reconfigurable Systems and Algorithms
- RAW Reconfigure Architectures Workshop (part of IPDPS)
- FPGA/PLD Design Conference (part of ASP-DAC)

■ Conférences généralistes

- DAC Design Automation Conference
- ASP-DAC Asian and South Pacific Design Automation Conference
- DATE Design Automation & Test Exhibition
- ISCAS IEEE International Symposium on Circuits and Systems

134

Architecture et utilisation des FPGA - Lilian Bossuet - ARCHI 2009 - Pleumeur Bodou



MERCI !

Lilian.bossuet@ims-bordeaux.fr