

HoMade

FPGA et reconfiguration dynamique massivement
parallèle

HoMade

ÉCOLE THÉMATIQUE ARCHI'15

Jean-Luc Dekeyser

Agenda

- Exposé 1heure : vers la troisième génération des HPC!
 - Essor des FPGA
 - La notion d'IP
 - Quand tous devient IP
 - Réflexivité et adaptation dynamique
 - Parallélisme et réseaux dynamiques...
- Pratique : 2 heures avec HoMade
 - Xilinx Spartan 6 sur carte Nexys3
 - Créer un IP sous ISE
 - L'utiliser dans un code assembleur
 - Et ce soir faire du parallélisme sur 3 CPU

Dans la presse

- Intel s'apprête à racheter Altera
 - 16 milliards de dollars son compatriote Altera, ont indiqué, dimanche 31 mai, le *New York Times* et le *Wall Street Journal*.
 - SRC (Seymour Cray 1992!!!) lance le serveur FPGA Saturn 1 28/05
 - Parallel Computing Solutions is proud to offer the Saturn 1 Cartridge, the **first commercially available reconfigurable computer.**

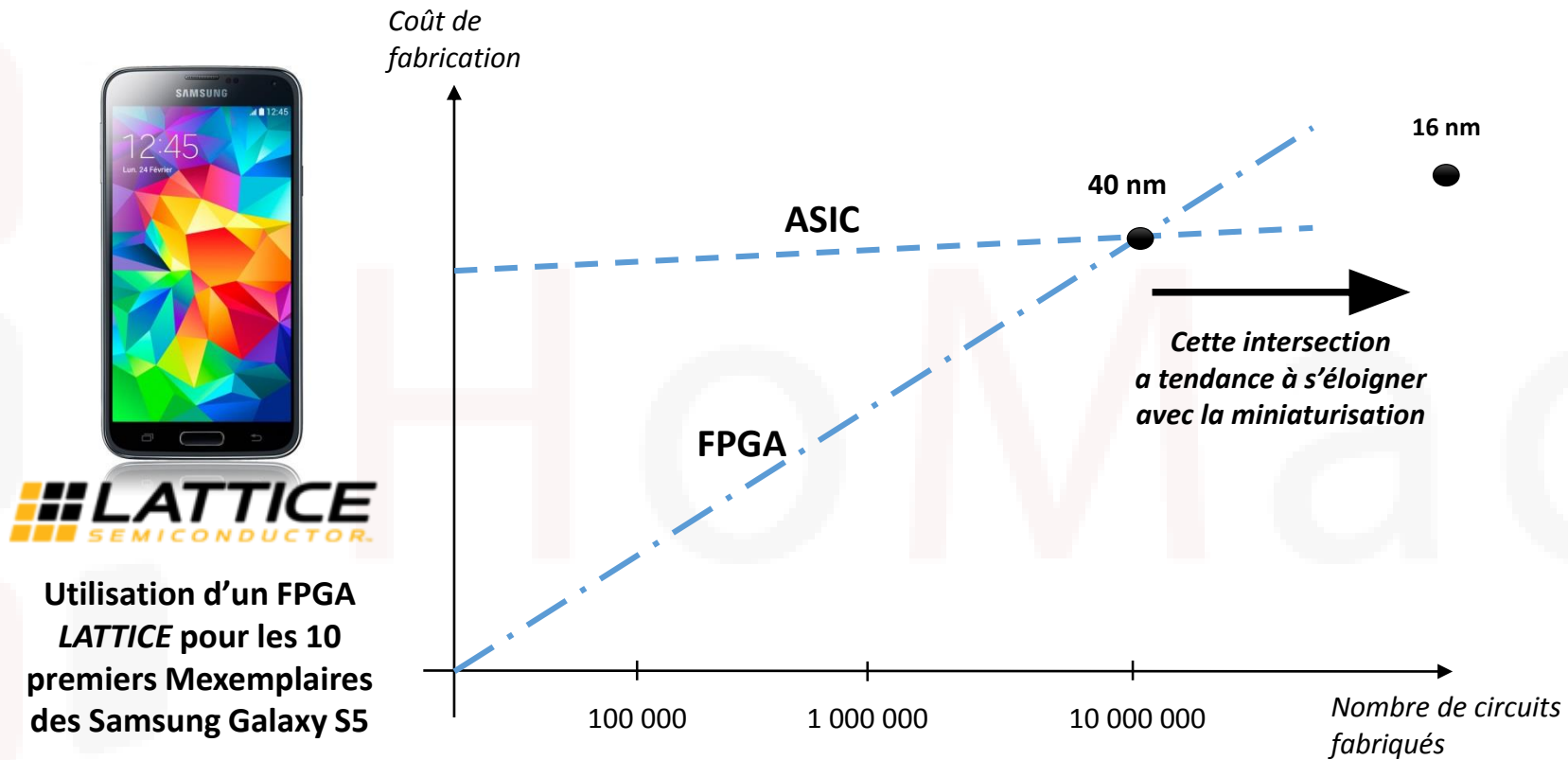


Pourquoi maintenant?

- La technologie FPGA suit de près celle des asic
 - 16nm et 3D intégration
- Faible cout de développement / partage du même chip
- MPSoc
- Massivement parallèle
 - 8000 Mips sur Virtex 7

Technologie grand public?????

Des réussites commerciales



Utilisation d'un FPGA
LATTICE pour les 10
premiers Mexemplaires
des Samsung Galaxy S5

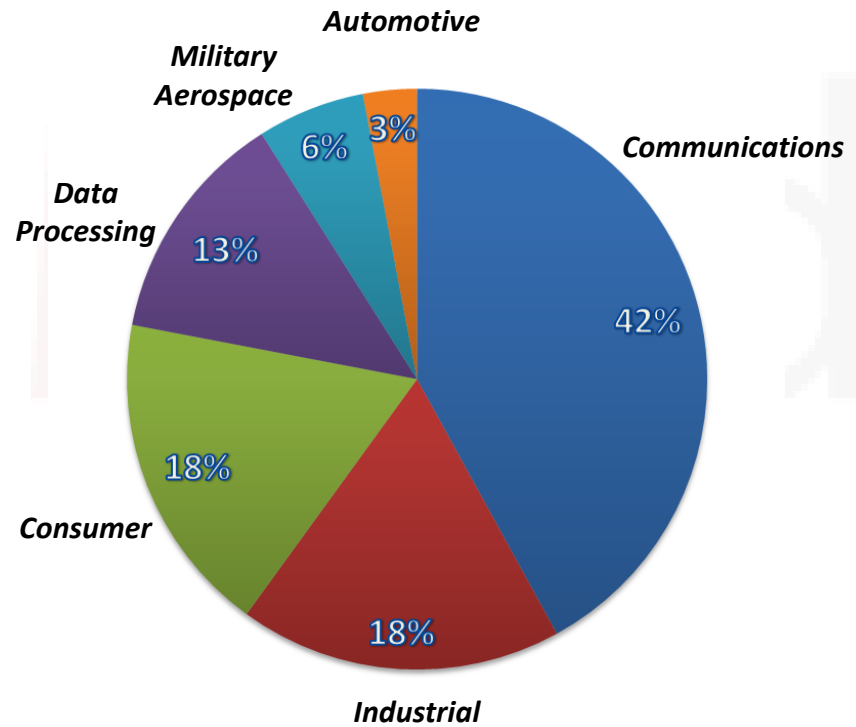
Les enjeux économiques: les données macro

 **XILINX**
47%

ALTERA
41%

Autres
12%

FPGA
5,4Md\$



Rencontre du troisième type!

- 1980: une machine HPC et débrouillez vous avec!!
 - Cray , CM2, Intel Paragon...
 - Fortran 8x, C*, PVM, MPI
- 2000: notion de codesign
 - On définit son architecture et son algorithme pour son asic à la « compialtion »
 - AAA
 - Marte et son modèle Y
- 2015 : L'architecture est instanciée dynamiquement quand l'algorithme en a besoin.
 - Reconfiguration dynamique du matériel
 - Evolution dynamique du langage machine

Accélérateur matériel ou IP (Intellectual Property)

- Un circuit au lieu d'un programme
 - 10 fois plus rapide
 - Pas d'instruction de contrôle mais une FSM
 - Pas d'accès à la mémoire de programme
 - Parallélisme implicite des sous circuits
- La programmation d'un langage d'architecture HDL
 - VHDL ou Verilog
 - Pas facile ☹️
 - Expert en bas niveau
 - Vers une programmation en C (Vivado??)
- Des tas d'IP existent sur les étagères!

Exemple d'IP Fibonacci Speedup = 7

```

cptr_d <= Tin(7 downto 0) when rst='1' else cptr_next-1;
case current_state is
when idle =>
  if Ipcode = Mycode then
    next_state <= starting;
    rst <='1';

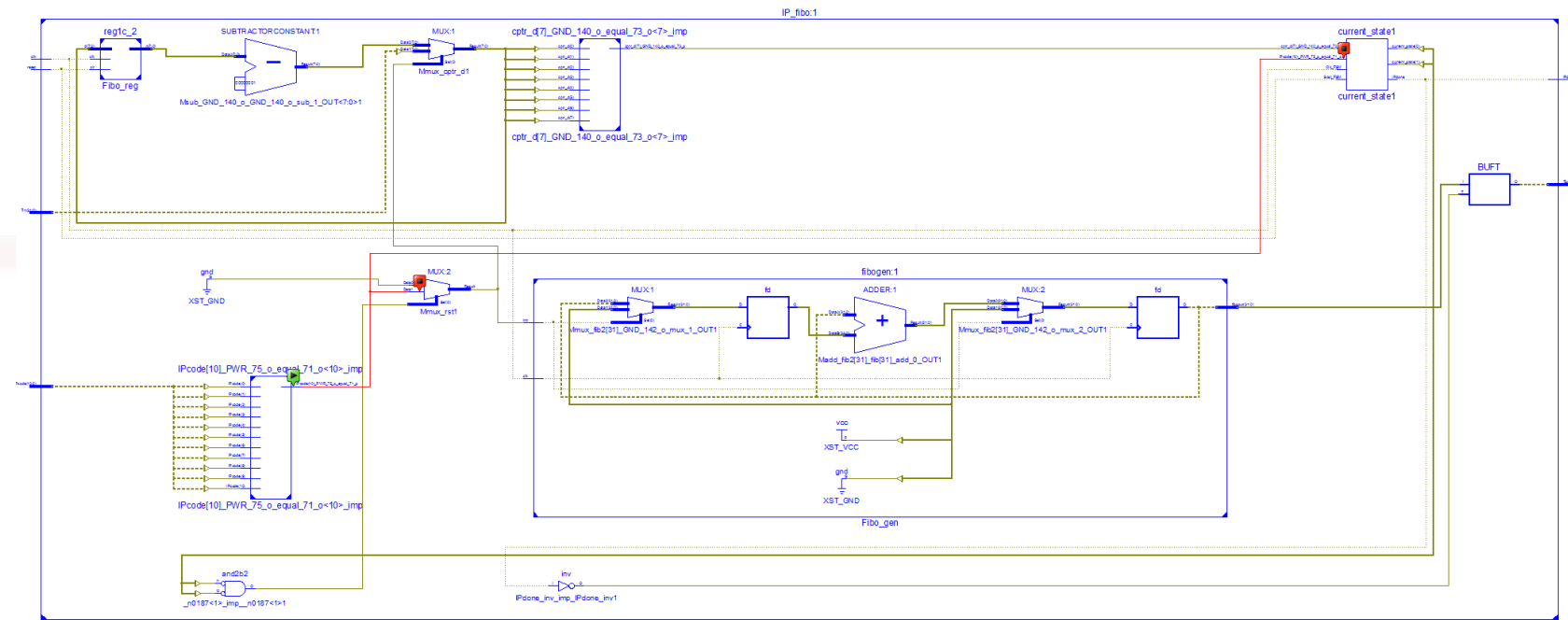
  else
    next_state <= idle;

  end if;
when starting =>
  if cptr_d= x"02" then
    next_state <= finish;

  else
    next_state <= starting;

  end if;
when finish =>
  next_state <= idle;
end case;
end case;

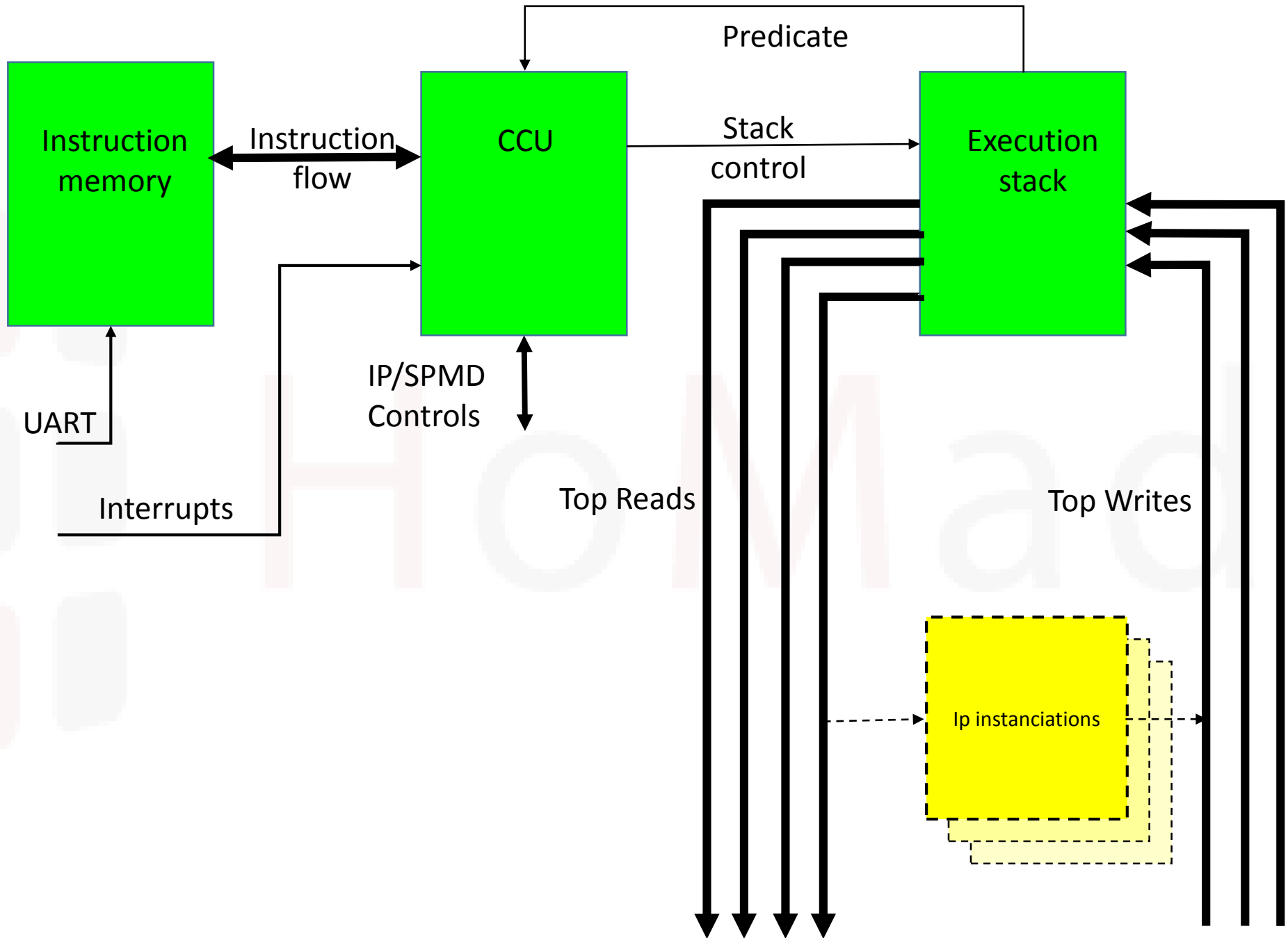
```



Le cœur HoMade

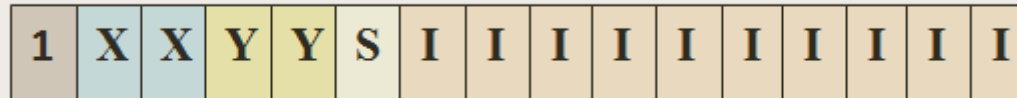
- Tout est IP!!
- Pas d'alu
- Pas de mémoire
- Pas de registre
- Une stack
- Une UC
- Une mémoire d'instruction

HoMade



Adaptation de langage machine aux IP

- Ultra Risc
 - 12 instructions CALL, BR, SPMD, WIM, IP
 - 0 opérande , Langage post fixé
- Instruction de déclenchement d'IP

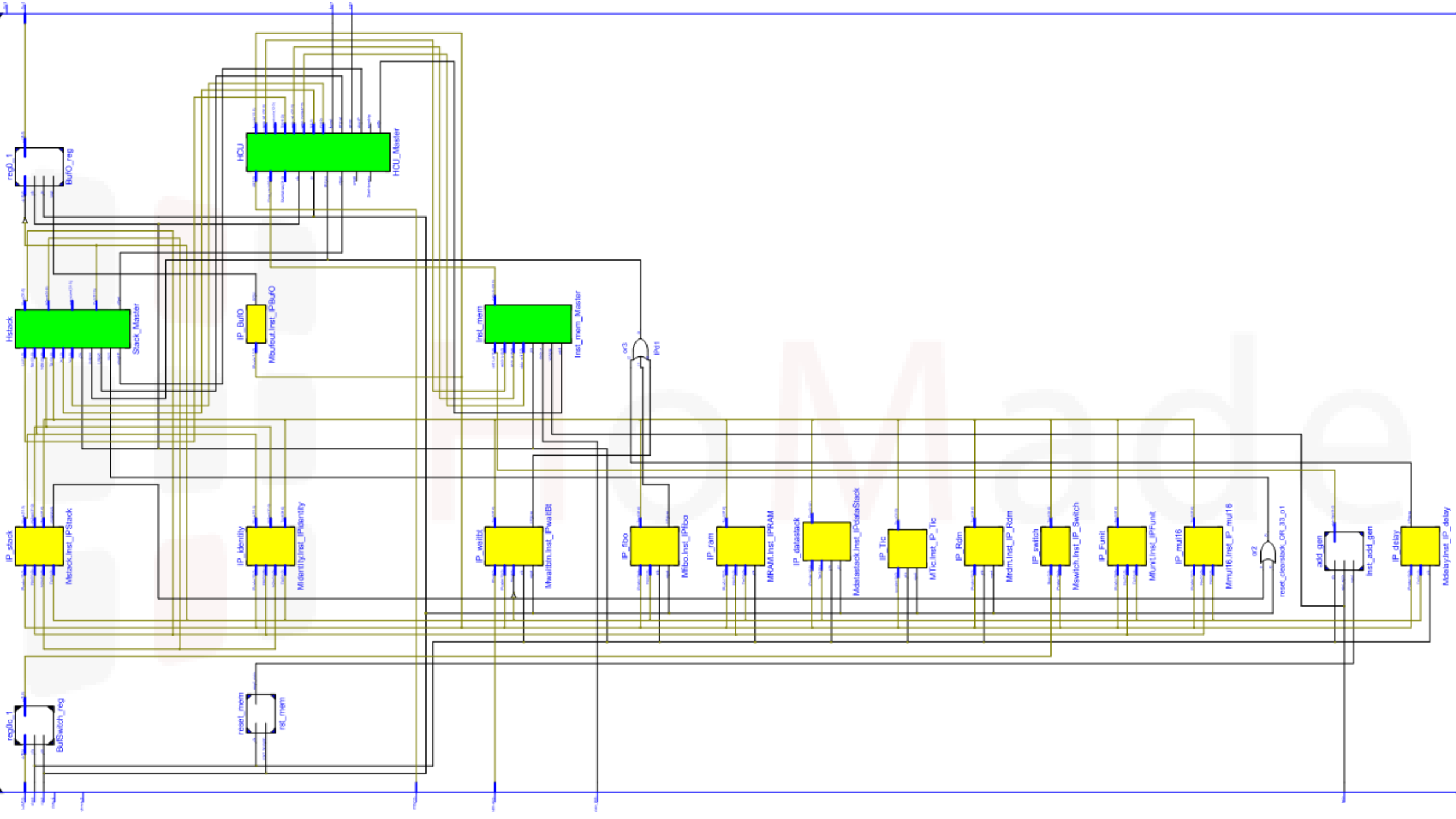


XX action pop sur la pile 0..3

YY action push sur la pile 0..3

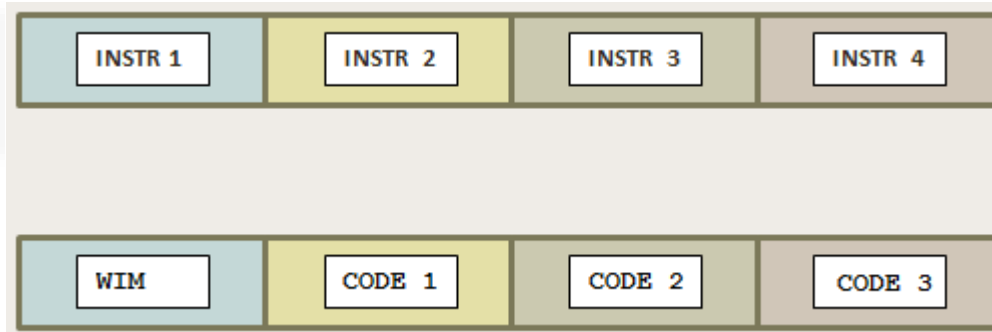
S Short ou Long = 1 cycle ou plus d'un cycle

IIII Numéro de l'IP



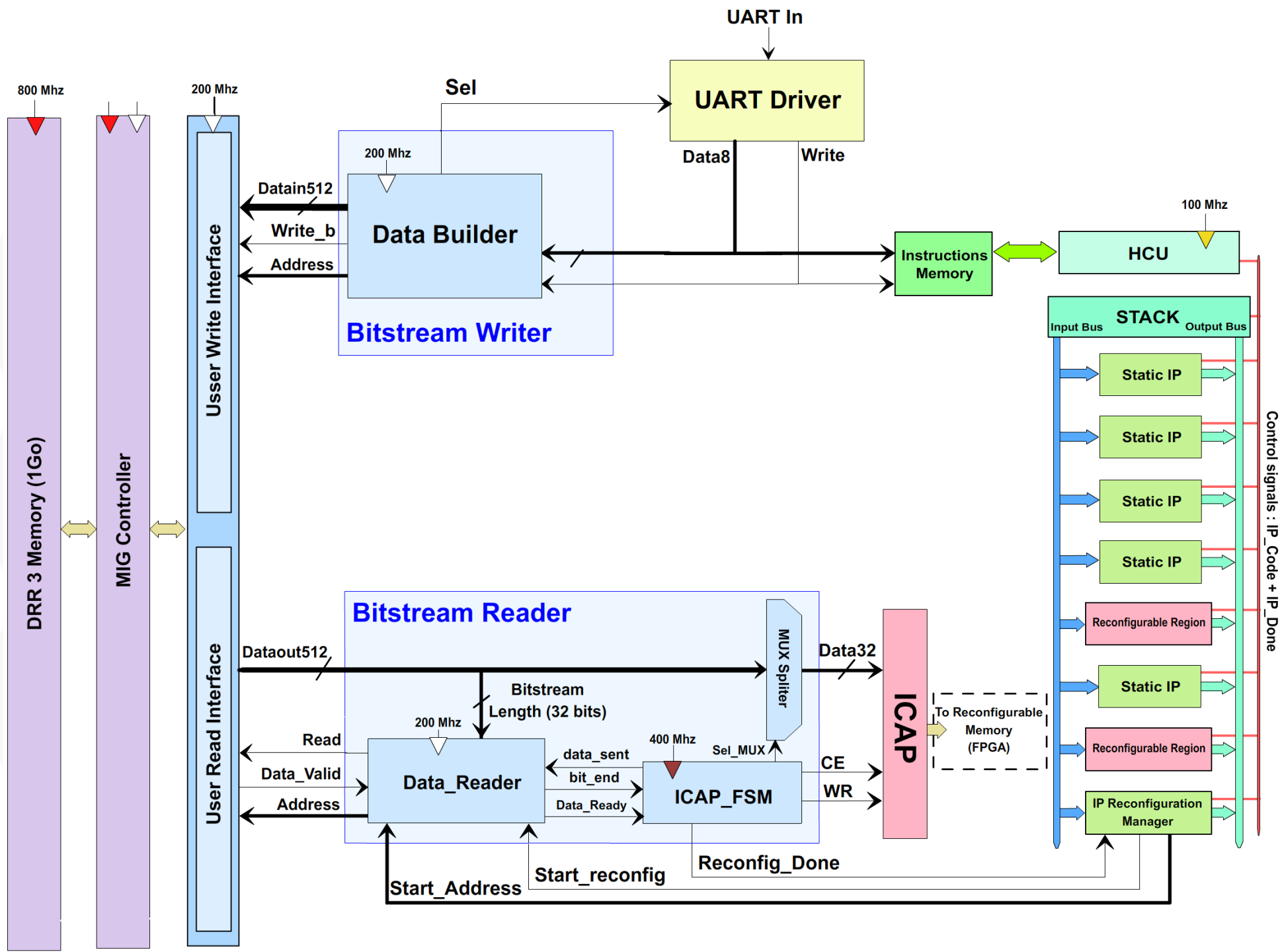
Réflexivité

- Possibilité pour un programme de modifier son propre comportement
 - WIM Write In Memory
 - Permet d'écrire dans la mémoire de programme
 - Le code à l'exécution peut donc se modifier lui-même
 - Souvent faisable mais ici c'est un concept de base du proc!!!
 - 3 instructions sont écrites en même temps sur un super mot de 64 bits



Reconfiguration dynamique partielle des FPGA

- Remplacement d'un IP par un autre IP pendant l'exécution
- C'est un IP (long) qui déclenche les mécanismes Xilinx (ou autre...)
- Opérateur ^^ dans le langage assembleur appelle cet IP avec l'adresse où est rangé le bitstream, pour l'instant dans la DDR de la carte...



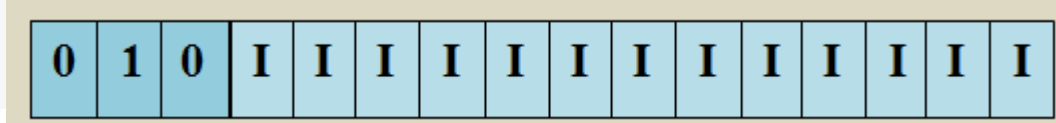
Un exemple...

```
Program // bistream addresses between ( )
:IP IP_median    $EC11 ($0);
:IP IP_Sobel     $EC22 ($49E);
VC filter
:T1
    IP_median ^^
    filter := IP_median
;
:T2
    IP_moyenne ^^
    filter := IP_moyenne
;
trap1 := T1        // interrupt level 1
trap2 := T2        // Interrupt level 2
: get3pix         // must be defined ...
;
```

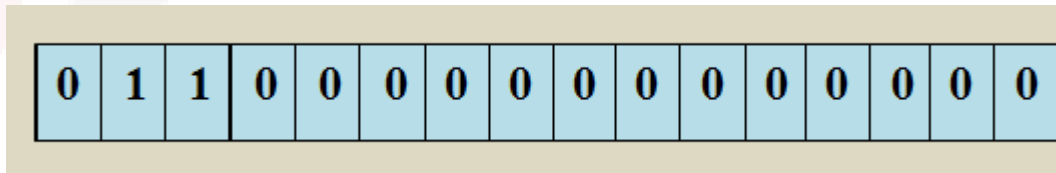
```
Start
begin
$7D for
    get3Pix // 3x3 pixels on stack
    get3Pix
    get3Pix
    -rot swap
    $7D for
        filter // current IP
        get3Pix // next 3 pixels
        -rot
    next
next
again
endprogram
```

Le massivement parallèle

- Une architecture maitre esclaves
 - Gestion de l'activité par des IP
 - Réseau de communication configurable et géré par des IP
- Une instruction de déclenchement



- Une instruction de barrière de synchronisation

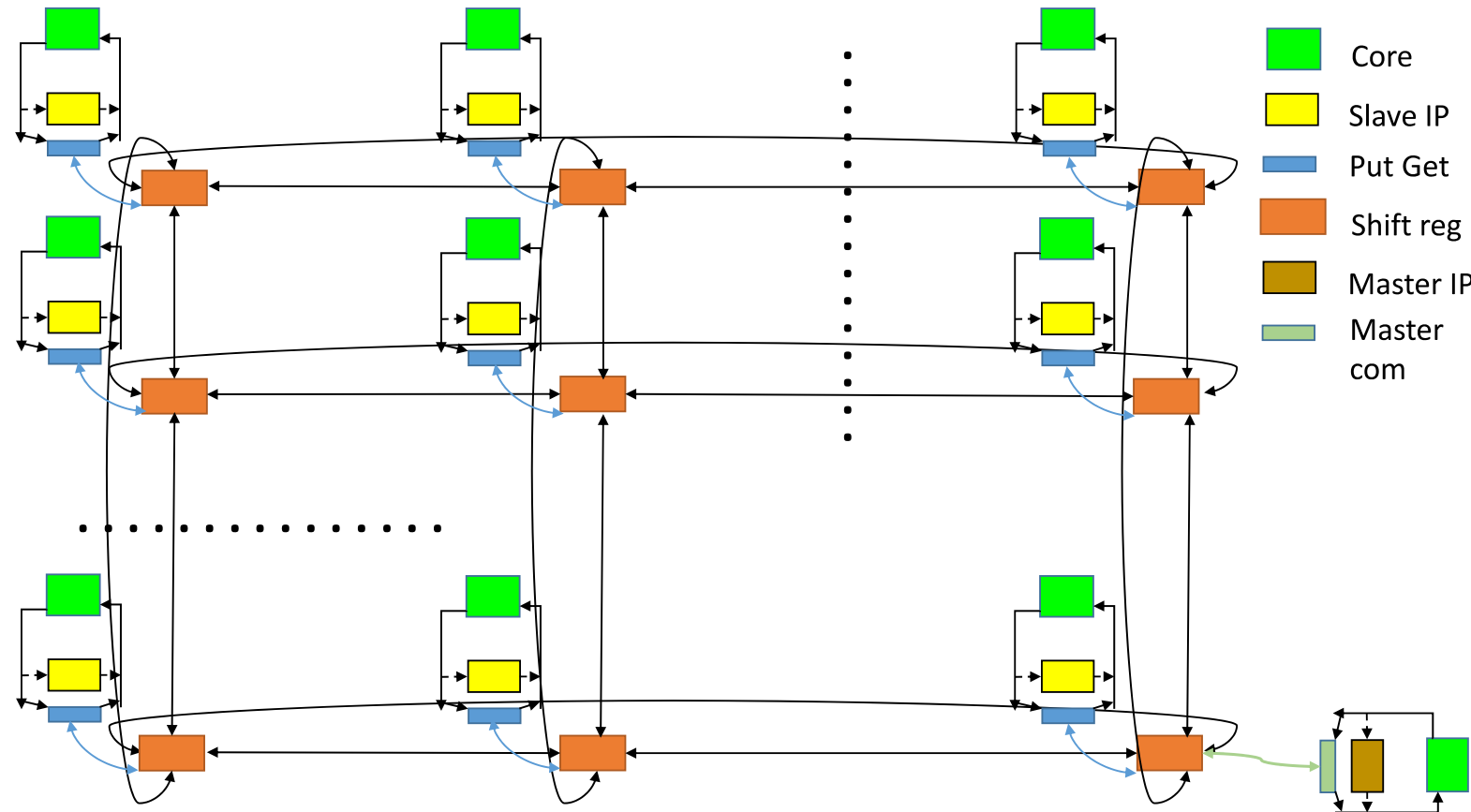


Réseau programmable

- Tout est IP et le réseau aussi
- Des IP du maître qui déclenche des communications dans un réseaux
 - Anneau et grille 2D en bibliothèque
 - Registres à décalage sur 1, 8 ou 32 bits
- PUT et GET ds les registres depuis chaque esclave
- Flag d'activité sur chaque esclave géré par des IP
 - Depuis le maitre par sélection de blocs actifs (voire tous)
 - Depuis les esclaves par endormissement
- Comme c'est des IP : on pourrait faire autre chose.....

Une Grille 2D avec son maître

12x12 sur V7 485



Exemple SPMD en assembleur

```
slave
PC send := PUT      // top on the shift register
PC g+ := { GET + } // 2 IPs for the PC
: xy                // Func slave duplicate
    XNUM $8 -> YNUM + // -> IP rshift 32b
;
: diagonal
    XNUM YNUM = if SLEEP endif
;
PC diag := diagonal
PC myxy := xy      // PC static initialisation
start
master
```

```
: broadcast        // 12 x 12 Grid
$b for
    B>X
    $b for
        B>Y
    next
next
;
Start              // all active by default
myxy               // PC call = SPMD
wait               // synchronization barrier
diag              // select diagonal
$FF M2S broadcast g+ // not wait here
ALL                // all active
send               // and then second PC call
....
```

Nouveaux défis

- Reconfiguration dynamique parallèle
 - Séquentialisé par broadcast de bitstream réalloué via ICAP (On going)
 - Chip 3D...
 - FPGA virtuel...
 - Fusion vs reconfiguration (On going)
- Reconfiguration des communications
- Zynq et IP Hardcore
- Applicatifs
 - HPC Virtex7 V2000 (Poste d'ingénieur expert pour 18 mois!!!)
 - Floating point IP
 - Cluster PCIe 16 cartes
 - Traitement d'image multi capteurs (On going)
 - Faible consommation, embarquabilité
 - Reconfiguration dynamique
 - I/O parallèles , scatter/gather par IP
- Langage et vérification...

A vous de jouer!!!

- Le site HoMade
 - <https://sites.google.com/site/homadeguide/home>
- Une instruction random en VHDL
 - Affichage des nombres aléatoires sur l'afficheur 16bits
 - Calcul de PI par méthode Monté Carlo
 - Calcul sur un réseau de 2 esclaves en anneau pour les insomniaques!
 - Retour des cartes en fin d'école possible.....
- Le TP se trouve en
<https://sites.google.com/site/archi2015jld/>